

2020 年度卒業論文

放射線源を用いた sPHENIX 実験-中間飛跡
検出器 INTT 用シリコンセンサーの性能
評価

奈良女子大学理学部数物科学科 物理学コース

高エネルギー物理学研究室

並本ゆみか

2021/03/01

概要

現在、奈良女子大学高エネルギー物理学研究室は、アメリカブルックヘブン国立研究所にて 2023 年より稼働予定の sPHENIX 実験に用いられる中間飛跡検出器 (INTT) の開発を行っている。INTT グループには奈良女子大学のほか、理化学研究所、立教大学、BNL、台湾中央大学、台湾大学等が参加している。本研究は、2018 年後期に奈良女子大学に設置されたテストベンチを用いて INTT 用シリコンセンサーの性能評価を行ったものである。前年度の宇宙線を用いた性能評価に続き、今年度はベータ線源 (^{90}Sr) を用いた性能評価を行った。また、線源測定を様々なトリガー方法で行うために、シリコンセンサー用のアクリル製ケースを制作するなど、テストベンチの変更を行った。測定の結果、線源測定を行う際の閾値が既定のものではノイズを多く拾ってしまうことがわかった。そのため、閾値の最小値を引き上げて測定を行い、回路由来のノイズを除去したところベータ線の信号が検出された。また、検出された信号がベータ線のものであるかを確認するため、外部トリガー測定も行った。シリコンセンサーのチャンネル 0 からチャンネル 10 付近までの検出数が、想定される検出数の約 55% になっていることがわかった。またキャリブレーションテストの解析より、この検出数の落ち込みの原因は読み出しチップや読み出し回路にはないことを明らかにした。

目次

第 1 章	序論	6
1.1	素粒子物理学	6
1.2	半導体	7
1.3	研究背景	8
1.4	研究目的	11
第 2 章	中間飛跡検出器 (INTT)	12
2.1	INTT 用シリコンセンサーモジュールの構造	12
2.2	データ読み出し回路	13
2.3	テストベンチでの INTT 用シリコンセンサーモジュールのテスト	16
第 3 章	放射線源を用いたシリコンセンサーの性能評価	19
3.1	放射線	19
3.2	目的	19
3.3	測定方法	19
3.4	ノイズの検討	21
3.5	channel 番号別のエントリー数	25
3.6	外部トリガー測定	29
第 4 章	channel0 から 10 のエントリー数減少の原因探索	34
4.1	キャリブレーションテストデータの解析	34
第 5 章	結論	36
	参考文献	38

目次

1.1	素粒子の標準模型で扱う素粒子。	6
1.2	pn 接合型半導体を用いた荷電粒子検出原理。	8
1.3	RHIC の全体図。	9
1.4	sPHENIX 実験の検出器。	9
1.5	sPHENIX 実験の飛跡検出器群。	10
1.6	TPC 内に設置された INTT。	11
2.1	INTT 用シリコンセンサーモジュール。	12
2.2	センサー Type-A と Type-B の配置図。	13
2.3	テストベンチのデータ読み出し回路。	14
2.4	ROC9 の写真。	14
2.5	コンバージョンケーブル、左:small、右:large。	15
2.6	FEM-IB、FEM の写真。	16
2.7	キャリブレーションテストのセットアップ。	16
2.8	chip1 の amplitude と ADC の相関分布。	17
2.9	chip1 の amplitude と channel の相関分布。	17
2.10	amplitude と ADC の相関分布。横軸:amplitude、縦軸:ADC。	18
2.11	amplitude とチャンネルヒットの相関分布。横軸:チャンネル (chan)、縦軸:amplitude。	18
3.1	^{90}Sr の崩壊図。	20
3.2	測定セットアップ。	21
3.3	線源測定の読み出し回路。	21
3.4	線源を chip1 ,14 上に配置した。	22
3.5	chip1 ,14 上に線源を置いて測定した結果。	22
3.6	module 番号の決定。	23
3.7	chip1,14 上に線源を置いて測定したときの module ヒストグラム。	24
3.8	chip1,14 上に線源を置いて測定したときの amplitude ヒストグラム。	24
3.9	chip1,14 上に線源を置いて測定した結果からノイズを除去した。	25
3.10	線源を置かずに測定したときの chip ヒストグラム。	26
3.11	線源を置いたときと置いていないときの chip ヒストグラムの比較、青線が線源無し、赤線が chip12,25 上に線源有り。	26
3.12	線源なし測定の ADC 分布。	27

3.13	DAC0 の値を変更前後での chip ヒストグラムの比較。赤線が DAC0=10, 青線が DAC0=20。	27
3.14	DAC0=20 のときの chip1 の channel ヒストグラム。	28
3.15	線源を chip3,16 上に配置した。	29
3.16	外部トリガー測定を行ったときの chip ヒストグラム。	30
3.17	セルフトリガー測定結果と外部トリガー測定結果の ADC 分布の比較。	30
3.18	外部トリガー測定を行ったときの chip3 の channel ヒストグラム。	31
3.19	chip16 上に線源を配置した。	31
3.20	chip16 上に線源をおいて 155 分間測定したときの chip ヒストグラム。	32
3.21	chip16 上に線源をおいて 155 分間測定したときの channel ヒストグラム。赤線は channel50 から 127 を元に描いたガウス関数である。	32
3.22	chip22 上に線源をおいて 852 分間測定したときの channel ヒストグラム。赤線は channel50 から 127 を元に描いたガウス関数である。	33
4.1	channel0 から 10 の amplitude と ADC 相関関係の切片、傾き。	35
4.2	channel60 から 70 の amplitude と ADC 相関関係の切片、傾き。	35

表目次

2.1	DAC 閾値設定。	17
3.1	DAC0=10 の場合。	22
3.2	DAC0=10 の場合。	22

第 1 章

序論

1.1 素粒子物理学

1.1.1 素粒子の標準模型

身の回りの物質を分割し続けると、それ以上分割できない素粒子という最小単位に行き着く。素粒子は、スピンの h の半整数倍のフェルミ粒子と、整数倍のボース粒子の 2 種類に分けられ、フェルミ粒子は更にレプトンとクォークの 2 種類に分けられる。レプトンは電子、ミュー粒子、タウ粒子とこれらに対応する 3 種類のニュートリノの計 6 種類に分類される。クォークはアップ (u)、ダウン (d)、チャーム (c)、ストレンジ (s)、トップ (t)、ボトム (b) クォークの計 6 種類に分類される。ボース粒子は、スピン 0 のものがスカラー粒子、それ以外のがゲージ粒子に分類される。陽子内のクォーク同士を結びつける働きをする粒子であるグルーオンは、スピン 1 のゲージ粒子である。図 1.1 に素粒子の標準模型で扱う素粒子を示した [1]。



図 1.1 素粒子の標準模型で扱う素粒子。

1.1.2 クォーク・グルーオン・プラズマ (QGP)

プラズマとは、固体・液体・気体の 3 相に次ぐ、物質の第 4 相の名称である。物質は温度を上げるごとに固体、液体、気体と状態を変化させるが、それ以上に温度を上げるとプラズマ状態となる。プラズマ状態にある物質は、原子から電子が離れ、陽イオンと電子が自由に飛び交う状態にある。クォーク、グルーオンはいずれもビッグバンの際に生成された素粒子である。現在の宇宙ではクォークグルーオンは強い力によって核子の中に閉じ込められており、単独で取り出すことはできない。これはクォークの閉じ込めと呼ばれており、今日でもその原理は解明されていない。しかし、ビッグバン後の数 10 μ 秒間の宇宙は約 2 兆 $^{\circ}$ C 以上の超高温であり、クォークやグルーオンは核子内に閉じ込められておらず自由に空間を動き回っていた。このように、クォークやグルーオンが閉じ込められておらず、プラズマのような状態にある超高温の物質をクォーク・グルーオン・プラズマ (QGP) と呼ぶ。アメリカのブルックヘブン国立研究所に建設された Relativistic Heavy Ion Collider (RHIC) 加速器を用いた重イオン衝突実験では、生み出された物質の温度が約 4 兆 $^{\circ}$ C に達した。これは QGP が生成される温度を超えており、QGP が生成されたと確認された [2][3]。

1.2 半導体

半導体とは、結晶構造をした、エネルギーバンド構造を取る物質一般の名称である。半導体は導体と絶縁体の中間の性質を持つ物質で、わずかに電気を通す性質がある。代表的な半導体としてケイ素 (Si, Silicon) やゲルマニウム (Ge, Germanium) がある。半導体には n 型と p 型の 2 種類があり、それぞれ電荷を運ぶキャリアが電子、正孔である。正孔とは軌道上に存在していた電子が外側の軌道に移動したことによって生じた穴のことで、負の電荷を持つ電子を失っているため正に帯電している [12]。

1.2.1 半導体を用いた荷電粒子検出原理

p 型半導体と n 型半導体を接合すると、境界付近では p 型半導体の正孔は n 型半導体中に拡散し、n 型半導体の電子は p 型半導体中に拡散する。このため境界付近はキャリアがほとんど存在しない空乏層と呼ばれる領域ができる。pn 接合型半導体に、電流の流れにくい方向に電圧をかけると空乏層は拡大し、やがて半導体全体が空乏層となる全空乏状態になる。半導体を検出器として用いる際には、検出領域を広げるため、また荷電粒子通過時の信号を大きくするために、半導体を全空乏状態にする。このような電圧を逆バイアス電圧と呼び、電流の流れやすい方向にかける電圧は順バイアス電圧と呼ぶ。空乏層に高エネルギー粒子が入射すると、電子正孔対が生成され、かけられている電圧によってそれぞれ逆方向に移動する。シリコン半導体において 1 電子正孔対を生成するのに必要なエネルギーは 3.55eV である。電子、正孔の移動は電荷の移動であり、これによって信号が誘起され、その信号を読み出すことで粒子を検出できる。図 1.2 に pn 接合型半導体を用いた荷電粒子検出原理を示した [6][12][13]。

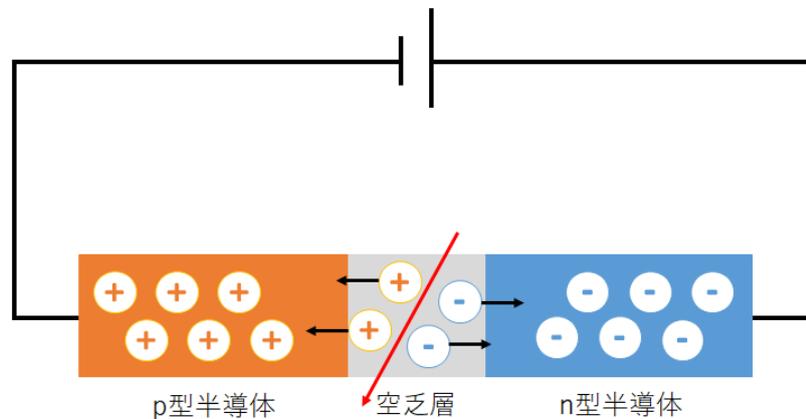


図 1.2 pn 接合型半導体を用いた荷電粒子検出原理。

1.3 研究背景

1.3.1 Relativistic Heavy Ion Collider (RHIC)

Relativistic Heavy Ion Collider (RHIC) は、アメリカ合衆国ニューヨーク州ロングアイランドにある、ブルックヘブン国立研究所 (BNL:Brookhaven National Laboratory) に建設された世界初の重イオン衝突型加速器である (図 1.3)。1 周 2.4 マイル (約 3.8km) のビームレーン内でビームを時計回り・反時計回りに加速させる。この 2 つのビームレーンが交差する衝突点は計 6 つ設けられている。金原子核を光速近くまで加速し、正面衝突させることで、核子内に閉じ込められたクォーク・グルーオンを解放し、その振る舞いを研究することを目的として 2000 年より稼働している。金原子核対が衝突したときの核子対あたりの最大重心系エネルギーは 200 GeV である。他にも陽子や銅原子核など、様々な原子核衝突実験が行われており、陽子・陽子衝突での最大重心系エネルギーは 510 GeV である [5]。

1.3.2 sPHENIX 実験

RHIC では 2000 年から 2016 年にかけて PHENIX 実験が行われていた。PHENIX では、重イオンや陽子を高エネルギーで衝突させることにより、ビッグバン直後の宇宙初期状態、QGP を再現し、その性質の研究を行った。sPHENIX 実験は PHENIX 実験をさらに高度化した実験であり、2023 年からの稼働が予定されている。図 1.4 は sPHENIX 実験で用いられる検出器の全体像である。sPHENIX 実験では、QGP の輸送係数と色遮蔽長の温度依存性を決定するため、ジェット、ジェット対の相関関係、アップシロン粒子 (Υ) などを測定する予定である。sPHENIX 実験はこれらの測定を、高い効率と大きな検出範囲を持つハドロンカロリメータと電磁カロリメータ、3 種の飛跡検出器によって行う。これは、質量の異なる 3 つの Υ 状態を識別するの

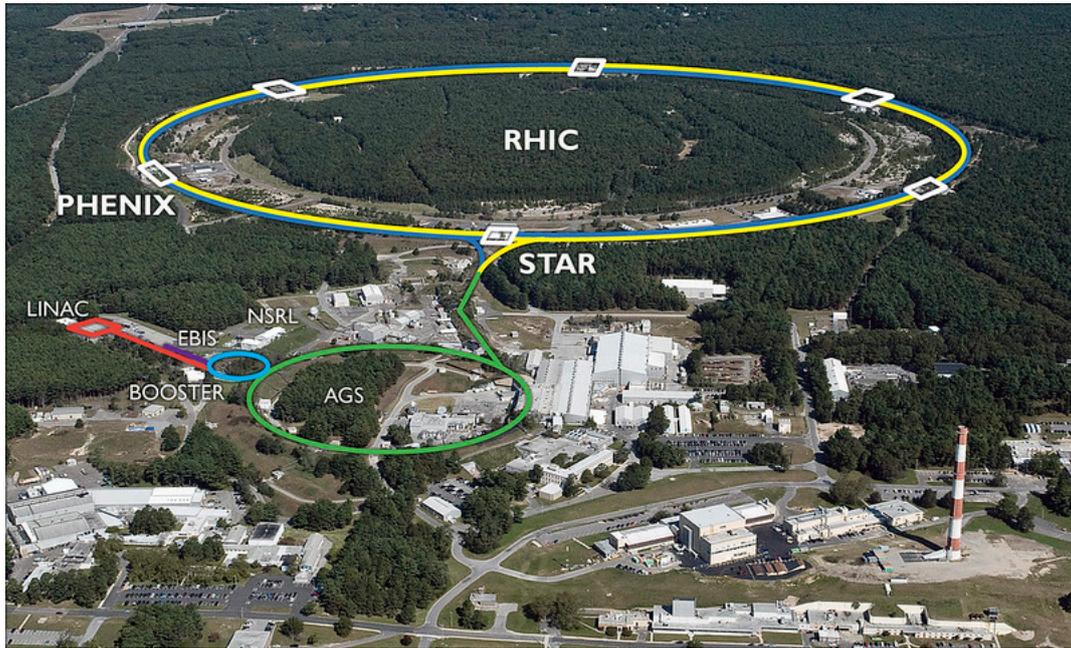


図 1.3 RHIC の全体図。

に十分な質量分解能を持っている。ジェットやアップシロン粒子の観測を行うため、sPHENIX は RHIC の 20 週間の稼働で、 5.0×10^{11} 回の金原子核衝突事象を観測する予定である。そして、このハドロンカロリメータは陽子・陽子衝突や陽子・金衝突において偏りのないジェットをトリガーし、すべてのシステムで偏りのないジェットの測定を行うことを可能にする [7]。

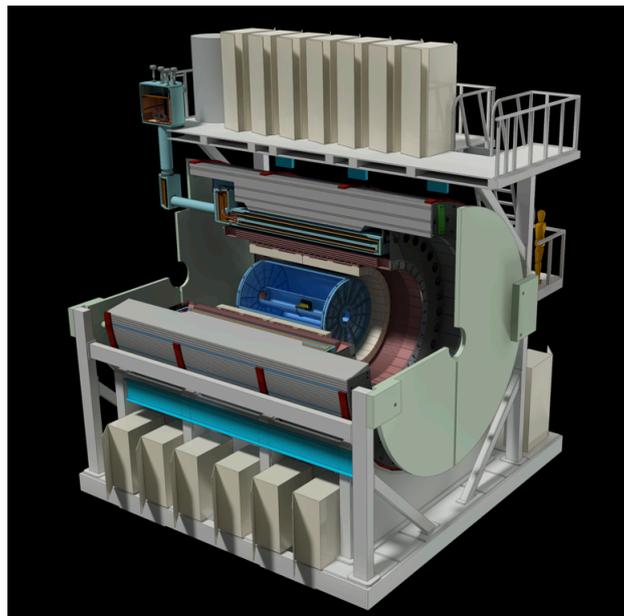


図 1.4 sPHENIX 実験の検出器。

1.3.3 飛跡検出器群

sPHENIX 実験の飛跡検出器は内側から MVTX、INTT、TPC の 3 つで構成されている。図 1.5 は飛跡検出器群の全体像である。

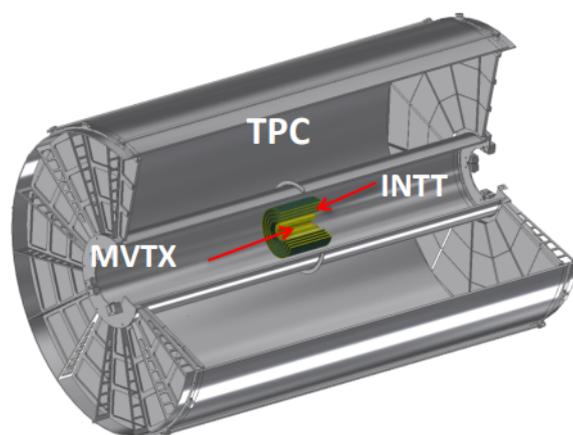


図 1.5 sPHENIX 実験の飛跡検出器群。

1.3.4 Monolithic-Active-Pixel-Sensor-based Vertex Detector(MVTX)

Monolithic Active Pixel Sensor based Vertex Detector (MVTX) は、sPHENIX 実験の飛跡検出器群の中で最も内側にある、ピクセル型シリコン検出器である。CERN の LHC 加速器における ALICE 実験で開発された Monolithic Active Pixel Sensor (MAPS) を用いる。ピクセルサイズは $27\mu\text{m} \times 29\mu\text{m}$ であり、3層構造となっている。MVTX では精度の高い飛跡再構成が可能で、衝突点と生成粒子の最近接距離を測定することにより重いクォークの検出を行う。衝突中心からビーム軸方向に $\pm 10\text{ cm}$ 、方位角方向に対して 2π の範囲を覆っている [8]。

1.3.5 Time Projection Chamber(TPC)

Time Projection Chamber (TPC) は、sPHENIX 実験の飛跡検出器群の中で最も外側にあるガス検出器である。ビームパイプから 20-78 cm に位置する。48 枚の読み出しバットからなる高い位置分解能を持つ検出器で、荷電粒子の運動量測定に置いて中心的な役割を果たす。衝突中心からビーム軸方向に約 $\pm 1\text{ m}$ 、方位角方向に対して 2π の範囲を覆っている [8]。

1.3.6 INTermediate Tracker(INTT)、中間飛跡検出器

INTermediate Tracker (INTT) は、MVTX と TPC の間に位置するストリップ型シリコン検出器である。ビームパイプから 6-12 cm に位置する。78 μm ピッチ、320 μm 厚のストリップ 128 個で 1 つのセンサーが構成されている。1 つのセンサーモジュールは 26 個のセンサーから構成されており、26 \times 128 個のチャンネルに分かれている。1 本のセンサーラダーは 2 つのセンサーモジュールから構成され、INTT 全体では 56 本のセンサーラダーが用いられる。INTT は MVTX と TPC の飛跡をつなぎ、運動量分解能を上げるとともに、各トラックに 1 ビームバンチ以下の時間情報を与える役割を果たす。衝突中心からビーム軸方向に $\pm 23\text{cm}$ 、方位角方向に対して 2π の範囲を覆っている。図 2.1 は TPC 内に設置された INTT の図である [8]。

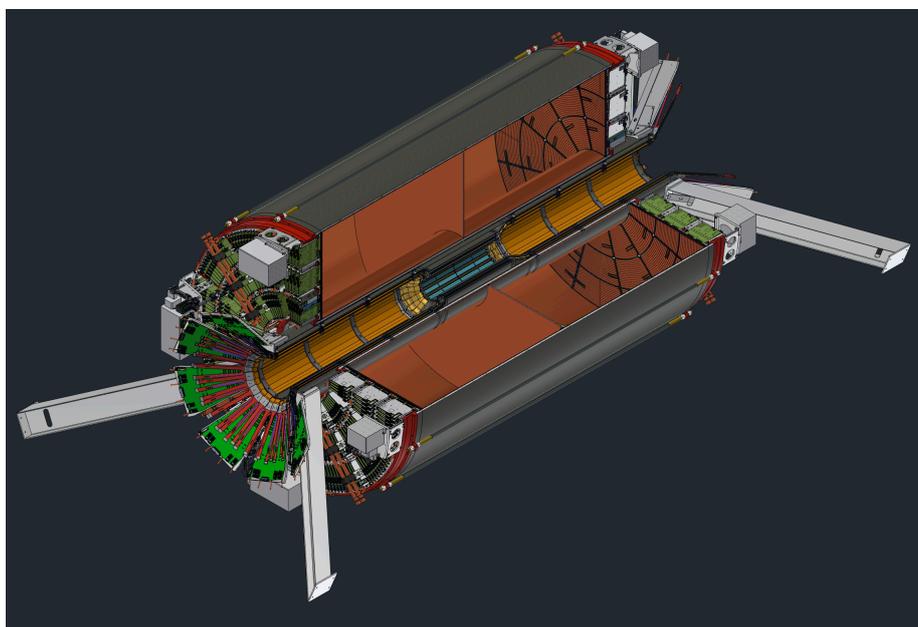


図 1.6 TPC 内に設置された INTT。

1.4 研究目的

現在、奈良女子大学では sPHENIX 実験の INTT の開発を進めている。2018 年後期には、奈良女子大学高エネルギー物理学研究室においてシリコンセンサーの性能評価を目的としたテストベンチの導入と設置が完了した。本研究の目的は、このテストベンチを用いて ^{90}Sr からのベータ線の測定を行い、INTT 用シリコンセンサーとその読み出し回路の性能評価を行うことである。

第 2 章

中間飛跡検出器 (INTT)

2.1 INTT 用シリコンセンサーモジュールの構造

INTT に用いられているシリコンセンサーモジュールは、ストリップ型シリコンセンサー、FPHX 読み出しチップ、HDI から構成されている。図 2.1 は実際のシリコンセンサーモジュールの画像である。

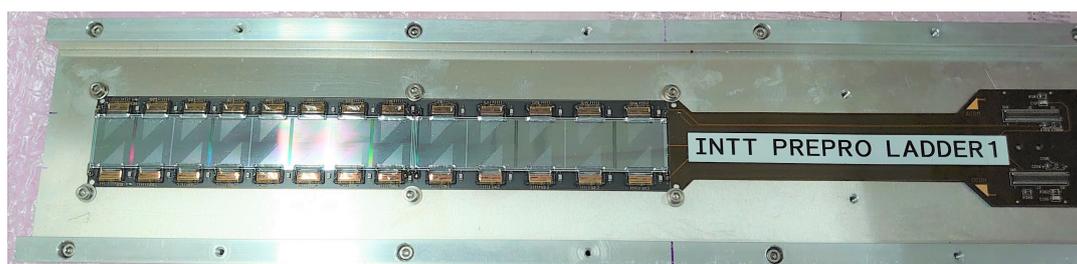


図 2.1 INTT 用シリコンセンサーモジュール。

2.1.1 ストリップ型シリコンセンサー

INTT に用いられるストリップ型シリコンセンサーは、縦 $78\mu\text{m}$ 、横 16mm (Type-A) もしくは横 20mm (Type-B)、厚さ $320\mu\text{m}$ のシリコンストリップが $256 \times 13 = 3328$ 個で 1 つのセンサーモジュールが構成されており、それぞれのストリップは 128 チャンネル毎に 1 つの読み出しチップ (FPHX chip) に接続されている。収集する粒子数を考慮して、ストリップの横幅を変更している。以降はこのストリップを channel と呼称する。図 2.2 のように chip 番号と channel 番号が定義されている。1 つのシリコンセンサーモジュールには Type-A、Type-B のシリコンセルがそれぞれ 1 個配置されており、それぞれのセルに含まれる chip の数は Type-A が 16 chip、Type-B が 10 chip である [8]。

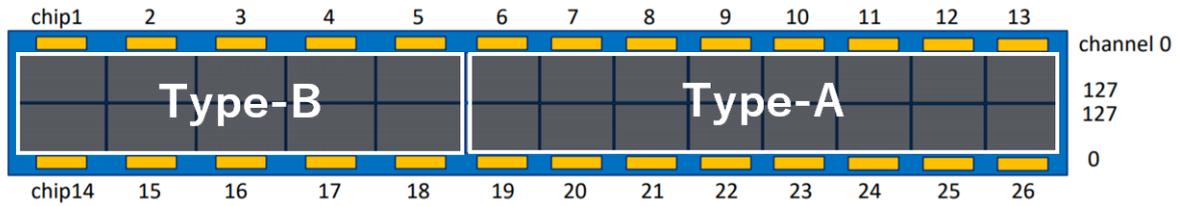


図 2.2 センサー Type-A と Type-B の配置図。

2.1.2 FPHX 読み出しチップ

FPHX チップは、センサーからの信号を読み出すためのチップで、PHENIX 実験のシリコン検出器 FVTX でも用いられた。1つのセンサーモジュールに 26 個搭載されており、1つの FPHX チップが 1つのシリコンセンサーからの信号を担当する。1チップあたり 128 個の読み出しチャンネルを持っており、各チャンネルにおいて波形整形をおこない、3 bit の ADC を出力する。ADC0-7 の各閾値は 8 bit の DAC によって設定でき、DAC から電圧値への変換は $V(\text{mV}) = \text{DAC} \times 4 + 210$ である。FPHX チップはシリコンセンサー、及び読み出し基板 (HDI) とワイヤーボンディングによって接続されている [8]。

2.1.3 High Density Interconnect(HDI)

High Density Interconnect(HDI) とは、入出力信号と電源を供給する基板である。FPC(Flexible Printed Circuits) という柔軟性の高い薄い基板で作られている。ROC とはコンバージョンケーブル、あるいは Bus Extender を用いて接続される [8]。

2.2 データ読み出し回路

実際の sPHENIX 実験では、複数のサブシステムから送られてくるデータを同期させるための信号が RHIC より供給される。この同期信号は Beam Clock(BCO) といい、9.4MHz(106ns) で出力されている。テストベンチでは BCO は FEM-IB で生成され、ROC と FPHX チップに送られる。また、sPHENIX 実験では各サブシステムは独立にトリガー (Level0 Trigger) を発行しており、これらはトリガー統括回路に送られる。トリガー統括回路ではそれらの間引きが行われ、データ収集判断のためのトリガー (Level1 Trigger) が各サブシステムの FEM へ返される。テストベンチにはトリガー統括回路がないので、ROC から発された信号が直接 FEM に入力される。テストベンチにおけるデータ読み出し回路を図 2.3 に示した。

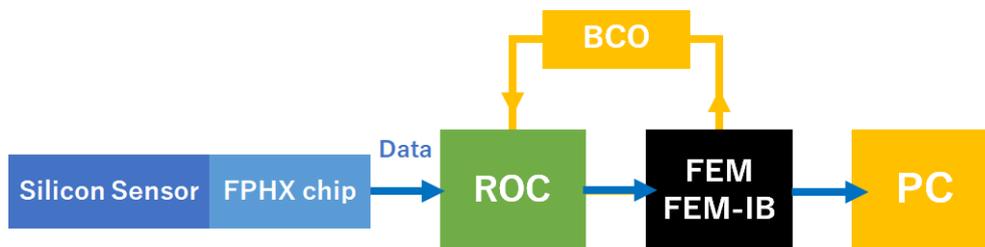


図 2.3 テストベンチのデータ読み出し回路。

2.2.1 Read Out Card(ROC)

Read Out Card(ROC) とは、複数のモジュールから送られてきたデータの同期と結合を行い、次の読み出し回路に転送する読み出し基板である。図 2.4 は電源やシリコンセンサーを接続した状態の ROC である。また、FPHX チップへの測定条件や閾値といった情報を指定されたチップへ転送する機能や、FPHX チップの動作確認を行うキャリブレーションテストにおいてキャリブレーションパルスを発生させる機能、接続されたシリコンセンサーモジュールへの電源供給機能も持つ。ROC1 枚あたり $4 \times 4 = 16$ 個のシリコンセンサーモジュールを取り扱うことができる。また、FEM へのデータ送信ケーブル差込口を 4 つ持つ [9]。

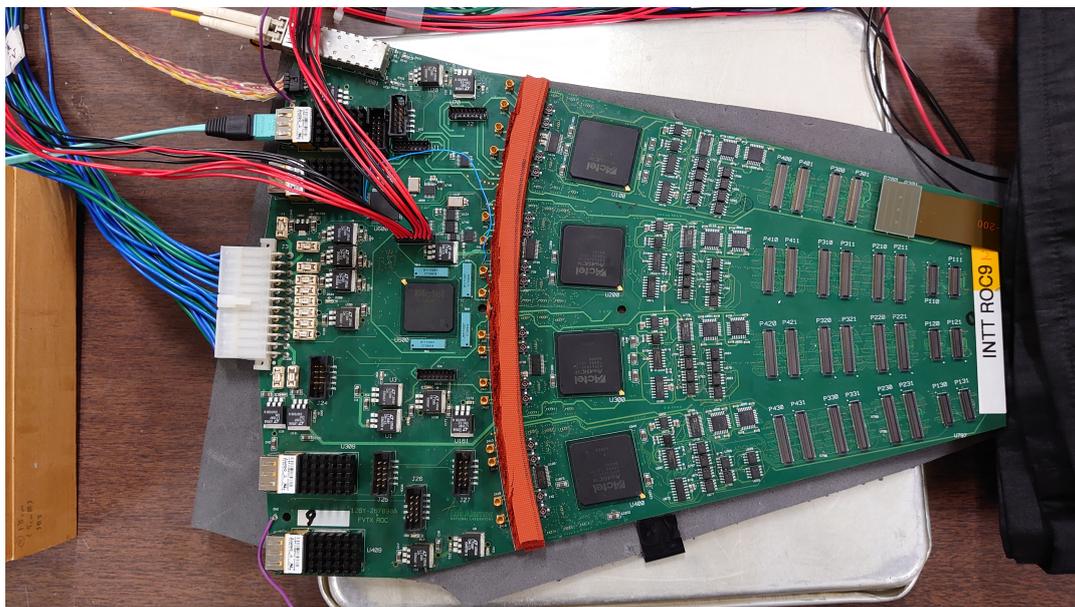


図 2.4 ROC9 の写真。

2.2.2 コンバージョンケーブル

コンバージョンケーブルは、HDI と ROC の異なるコネクタを整合するためのケーブルで、データ伝送に用いられる。図 2.5 に示すように長さが 20cm の small と、40cm の large の 2 種類があり、実際の実験では

20cm の small と Bus Extender を併用して使用する。



図 2.5 コンバージョンケーブル、左:small、右:large。

2.2.3 Bus Extender

Bus Extender は、コンバージョンケーブルと同様の HDI と ROC を接続するデータ伝送ケーブルである。sPHENIX 実験では HDI と ROC 間の距離が離れているため長さ 1.2m のケーブルが必要となる。またケーブルが収められるスペースは限られているため、厚みを抑えた柔軟性の高い素材を用いる必要がある。そのため、HDI、コンバージョンケーブルと同様に FPC で制作されている [10]。

2.2.4 Front End Module(FEM)

Front End Module(FEM) とは、VME 規格の読み出し基板で、ROC から送られてきたデータをまとめて PHENIX 検出器で共通のフォーマットに変換する役割を持つ。FEM1 枚に『top』と『bottom』の 2 個のデータ受信ケーブル差込口が存在し、ROC の半分の信号を担う。そのため、ROC1 枚のデータを送るには 2 枚の FEM が必要である。一方で ROC への命令信号は FEM1 枚で賄うことができる。データ処理用 FPGA は Xilinx 社製 Vertex-4 が搭載されており、トリガーシステムの構築が可能である [8]。

2.2.5 FEM-Interface Board(FEM-IB)

FEM-Interface Board(FEM-IB) は、FEM 全体を制御するモジュールで、FEM 同様の VME 規格の読み出しボードである。検出器全体を統括するクロック信号やトリガー信号、FEM 制御信号を受け取る。図 2.6 は実際の写真で、左側が FEM-IB、右側が FEM である。

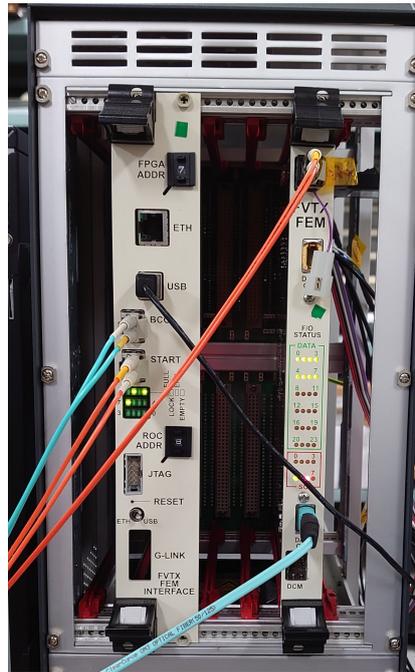


図 2.6 FEM-IB、FEM の写真。

2.3 テストベンチでの INTT 用シリコンセンサーモジュールのテスト

奈良女子大学には、2018 年に INTT 検出器の性能評価や読み出しシステムの動作確認を目的として構築されたテストベンチがある。本研究ではこれを用いてキャリブレーションテストと、線源測定を行った。

2.3.1 キャリブレーションテスト

キャリブレーションテストとは、テストベンチ全体の動作確認を行うテストである。図 2.7 にキャリブレーションテスト時のセットアップを示した。このテストでは ROC で生成したテストパルス (アナログ信号) を FPHX チップに入力し、FPHX チップでデジタル信号に変換された信号が ROC、FEM を通り PC にデータとして出力される。生成されるテストパルスは 1 チップ、1 チャンネルあたり 10 個である。また、テストパルスの波高を amplitude と呼ぶ。表 2.1 にキャリブレーションテスト時の DAC 閾値の設定を示した。



図 2.7 キャリブレーションテストのセットアップ。

表 2.1 DAC 閾値設定。

ADC 値	DAC 設定値	電圧値 (mV)
0	20	290
1	25	310
2	30	330
3	35	350
4	40	370
5	45	390
6	50	410
7	55	430

2.3.2 キャリブレーションテストの結果

キャリブレーションテストの結果は、3つの図によって表される。図 2.8 は、チップ 1 のテストパルスの波高 amplitude と出力 ADC の相関関係を示しており、赤色がもっともヒット数が多く、緑色、青色に変化するにつれてヒット数が少なくなる。図 2.10 は 26 個ある全ての FPHX チップについての相関関係が示しており、右下が chip1 で左下が chip13、右上が chip14、左上が chip26 の順に並んでいる。この図より、テストパルスの波高 amplitude と出力 ADC には DAC 閾値設定に基づいた比例関係があることがわかる。図 2.9 はチップ 1 でのテストパルスの波高 amplitude とチャンネルヒットの位置の相関分布であり、色がヒット数を示している。また、ヒット数が 15 を超えた際は『over 15』と表示されるようになっている。この図より、amplitude がある値を超えると、すべてのチャンネルにヒットが記録されるようになり始めることがわかる。図 2.11 は 26 チップすべての amplitude とチャンネルヒットの位置の相関分布を示しており、チップの並び順は図 2.10 と同様である。

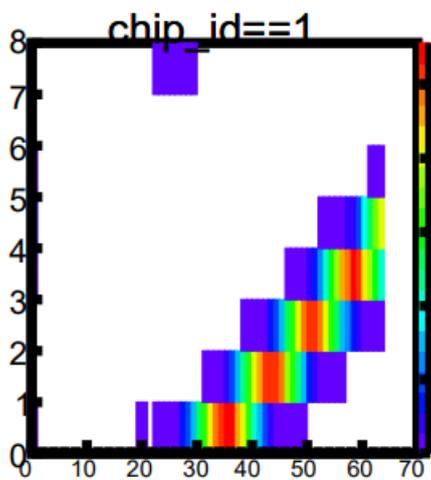


図 2.8 chip1 の amplitude と ADC の相関分布。

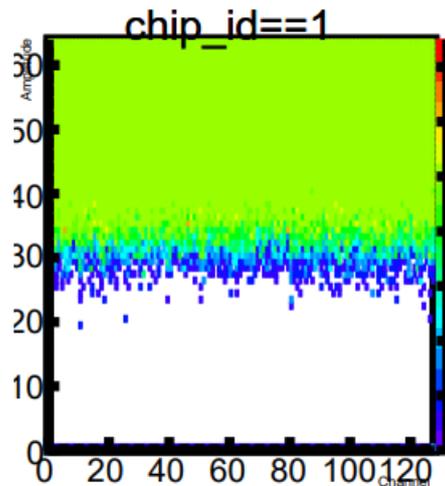


図 2.9 chip1 の amplitude と channel の相関分布。

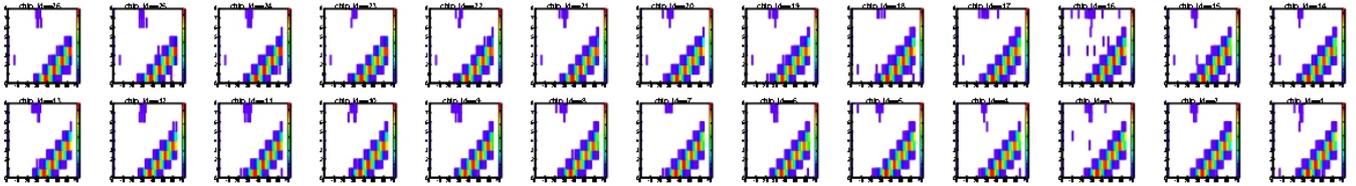


図 2.10 amplitude と ADC の相関分布。横軸:amplitude、縦軸:ADC。

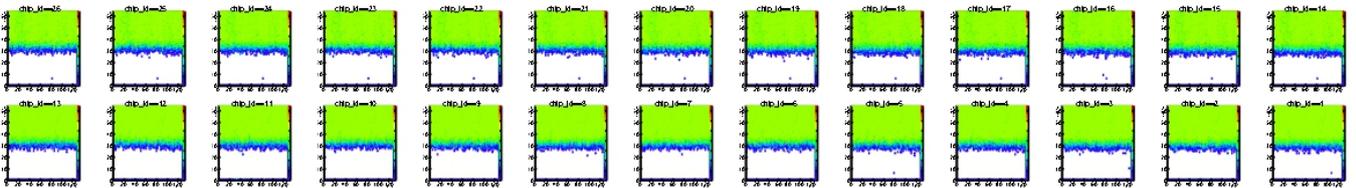


図 2.11 amplitude とチャンネルヒットの相関分布。横軸:チャンネル (chan)、縦軸:amplitude。

第3章

放射線源を用いたシリコンセンサーの性能評価

3.1 放射線

放射性同位元素が崩壊する際などに放出される高速度の粒子、あるいは波長の短い電磁波のことを放射線と呼ぶ。ヘリウム原子核、電子の流れをそれぞれ α 線、 β 線と呼ぶ。 γ 線、X線はいずれも波長の短い電磁波であり、原子核内から放射されたものを γ 線、原子核外から放射されたものをX線と呼び分けている。 α 線は紙で、 β 線はアルミニウム等の薄い金属板で、 γ 線は鉛や鉄の厚い板で停止・遮蔽することができる。放射線はエネルギーの単位として電子ボルト (eV, electron Volt) が、また放射能の単位としてベクレル (Bq, Becquerel) が用いられる。1ベクレルは、1秒間に原子が1つ崩壊することを表す。一般に、放射線を生じる物質及び装置のことを放射線源と呼ぶ。

宇宙空間を飛び交う高エネルギーの放射線、宇宙線は、1 GeV (10^9 eV) から 10^{20} eV のエネルギーを持つ。宇宙線は地表付近では典型的には 0.4 GeV のエネルギーを持ち、1分間に1平方センチメートルあたり約1個観測される。一方で、放射線源から発生する放射線は宇宙線のエネルギーには及ばないものの遥かに多くの事象が期待でき、また入射する位置を制限することができる [4]。

3.2 目的

本研究では ^{90}Sr から放射されるベータ線をシリコンセンサーに入射させてデータを取り、ノイズとデータの切り分けや、各 chip、channel 依存性等の性能評価を行う。 ^{90}Sr は図 3.1 のように崩壊する。実験に用いた ^{90}Sr の放射能は 3.7 kBq である。

3.3 測定方法

本実験では2通りの測定方法を用いた。1) シリコンセンサー単体が荷電粒子を検出した際にデータを取るセルフトリガー測定、2) シンチレーションカウンターとシリコンセンサーの双方が荷電粒子を検出した際にデータを取る外部トリガー測定 (図 3.2) である。セルフトリガー測定ではシリコンセンサーのみを用いるため、センサーを通過したすべての荷電粒子のデータが得られる一方で、センサー由来のノイズを省くことができない。一方で、外部トリガー測定は、セルフトリガー測定とシンチレーションカウンターの双方を通らなけ

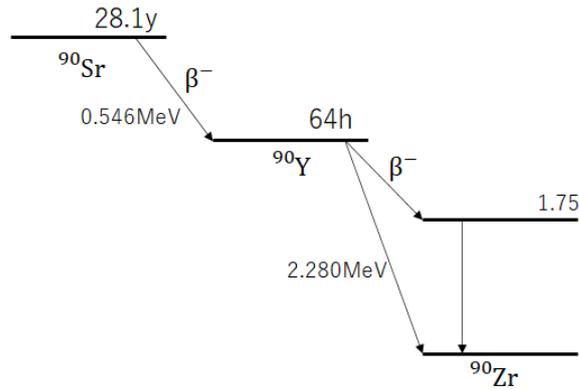


図 3.1 ^{90}Sr の崩壊図。

ればデータを取らないため、センサーのみ、シンチレーションカウンターのみを通った荷電粒子のデータは得られないが、ノイズを減らすことができる。本研究ではノイズとデータの切り分けのために、2通りの測定方法を考案した。

3.3.1 セットアップ

測定セットアップは図 3.2 のとおりである。シリコンセンサーはコンバージョンケーブルを用いて ROC の P420、421 ポートに接続されている。線源はシリコンセンサーの上に配置し、外部トリガー測定を行う際はセンサーの下方にシンチレーションカウンターを設置する。外部トリガーとして用いたシンチレーションカウンターの光電子増倍管には、 -1100V の電圧をかけた。既存のシリコンセンサーケースはアルミ製であるためベータ線を遮蔽してしまい、外部トリガーを用いることができない。そのためアクリルケースを制作し、外部トリガー測定が行えるようセットアップの変更を行った。

3.3.2 データ読み出し回路

線源測定におけるデータ読み出し回路を図 3.3 に示した。セルフトリガー方式の場合は、ベータ線がシリコンセンサーを通過するとアナログ信号が生成され、FPHX チップで増幅、整形後デジタル信号に変換されてから ROC、FEM、FEM-IB を経て PC に送られる。外部トリガー方式では、ベータ線がシンチレーションカウンターを通過するとアナログ信号が生成され、NIM モジュールの Discriminator でデジタル信号に変換される。その後 Gate Genelator で波形整形され、Logic Level Adaptor で NIM 規格の信号から TTL 信号に変換され、トリガー信号として FEM に入力される。シリコンセンサーからの信号はセルフトリガー方式の場合と同様に FEM に送られる。シリコンセンサーからの信号とシンチレーションカウンターからの信号が同時に FEM に入力された際に、データが PC に記録される [11]。

3.3.3 測定時の DAC 閾値設定

FPHX 読み出しチップは 1 channel あたり 3 bit の ADC を持つ。各 ADC の閾値は対応する DAC により、PC から任意の値に設定できる。本研究では、DAC0 が 10 と 20 の 2通りの DAC 閾値設定で線源測定

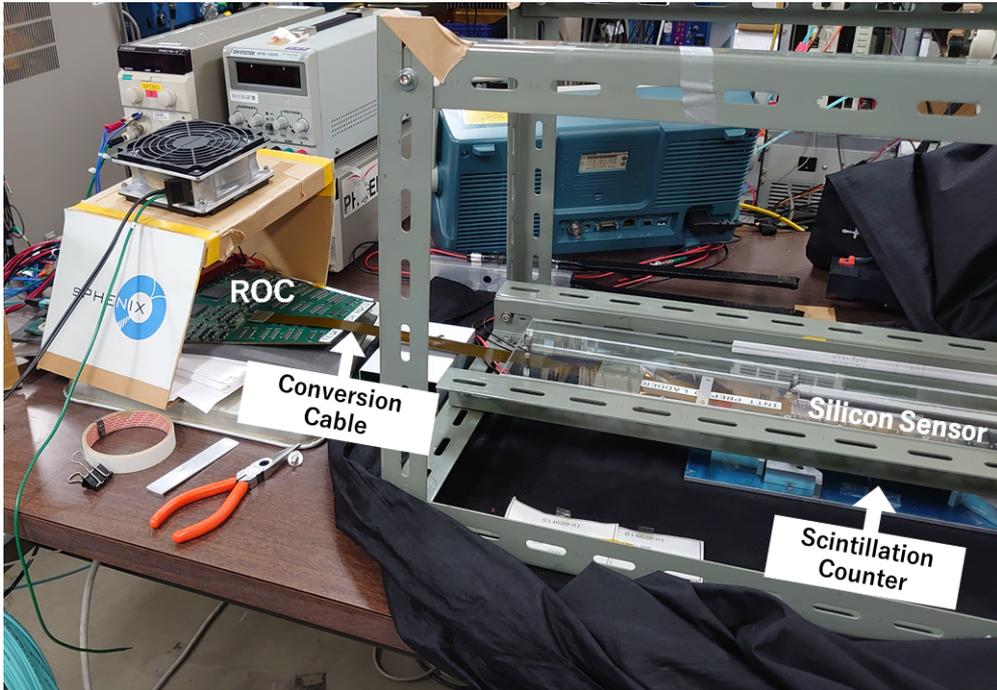


図 3.2 測定セットアップ。

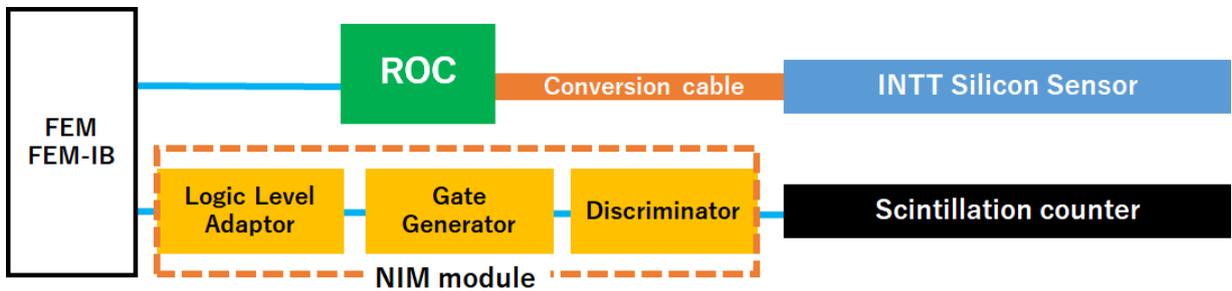


図 3.3 線源測定の読み出し回路。

を行った。それぞれの DAC 閾値設定と電圧値の関係を表 3.1、3.2 に示した。

3.4 ノイズの検討

表 3.1 のように DAC 閾値を設定し、図 3.4 のように、chip1,14 の真上に線源を配置して 10 分間セルフトリガー測定を行った。その結果、各 chip ごとのヒストグラムは図 3.5 のようになった。この図では、線源に最も近い chip1,14 のエントリー数が最大になっておらず、それ以外の chip でエントリー数が最大になっている。これは線源からのベータ線だけでなくノイズがデータに含まれているためと考えられるため、それらについての検討を行った。

表 3.1 DAC0=10 の場合。

DAC 値	設定値	電圧値 (mV)
0	10	250
1	23	302
2	48	402
3	98	602
4	148	802
5	172	898
6	223	1102
7	248	1202

表 3.2 DAC0=10 の場合。

DAC 値	設定値	電圧値 (mV)
0	20	290
1	23	302
2	48	402
3	98	602
4	148	802
5	172	898
6	223	1102
7	248	1202

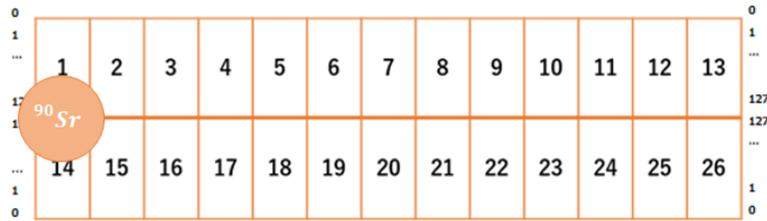


図 3.4 線源を chip1 ,14 上に配置した。

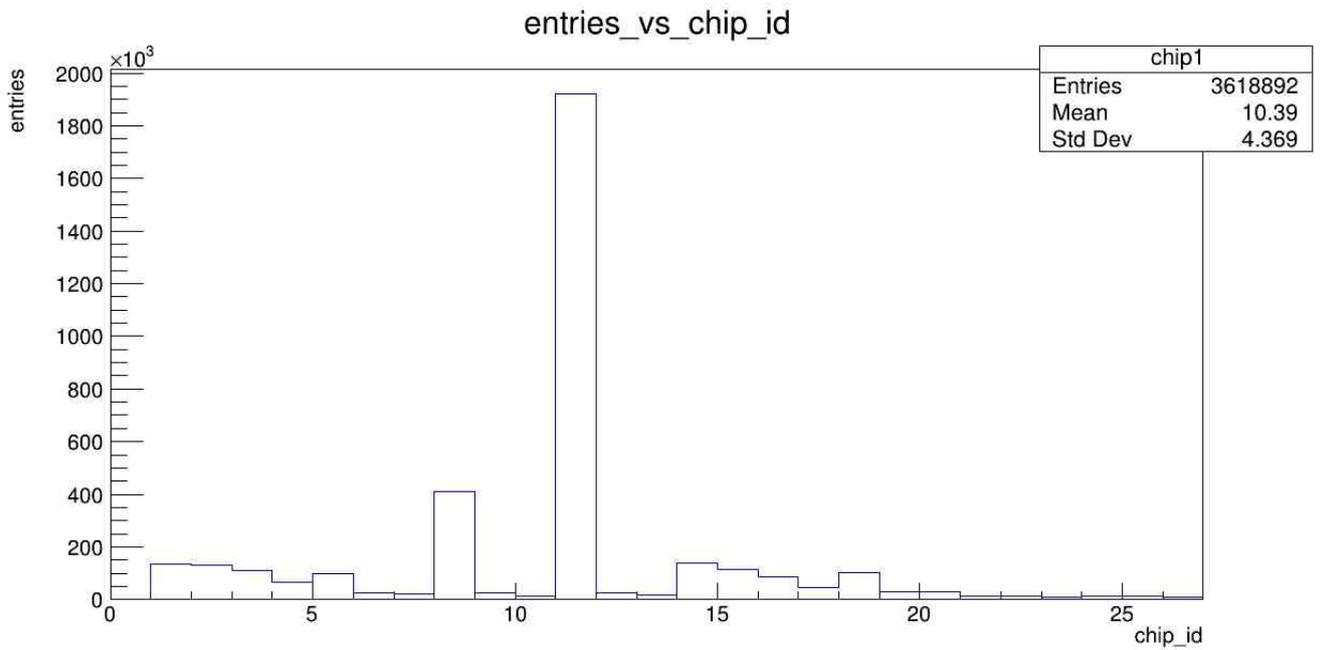


図 3.5 chip1 ,14 上に線源を置いて測定した結果。

3.4.1 回路由来のノイズ

測定データには、図 3.5 のような chip ヒストグラムに加え、module や amplitude ヒストグラムといったデータが含まれている。module 番号とは測定を行っている ROC のポートと対応している番号で、測定データを解析する際に、図 3.6 のようにプログラム内で決定される。本実験では P420,421 ポートを使用しているため fem_id が 8 となり、データ送信ケーブルを FEM の bottom に接続しているため、rawchip \geq 27 となる。そのため、module 番号は 6 となる。また、amplitude はテストパルスの波高であり、線源測定の際にはテストパルスを入力していないので amplitude は 0 となる。chip1,14 上に線源を配置して行った測定における module ヒストグラム、amplitude ヒストグラムはそれぞれ図 3.7、3.8 に示した。図 3.7 から、接続していない ROC のポートからデータが来ていることがわかる。また図 3.8 からは *amplitude* = 0 以外の数値にデータが来ていることがわかる。これらは回路由来のノイズであると判断し、module = 6、ampl = 0 と指定して再度 chip ヒストグラムを表示したのが図 3.9 である。この図より、回路由来のノイズを除去すると線源に最も近い chip のエントリー数が最も多くなることがわかる。

```
231 >> if(fem_id==1){
232 >>   if(rawchip<27) module=1;
233 >>   else module=2;
234 >> }
235 >> else if(fem_id==2){
236 >>   if(rawchip<27) module=3;
237 >>   else module=4;
238 >> }
239 >> else if(fem_id==4){
240 >>   if(rawchip<27) module=7;
241 >>   else module=8;
242 >> }
243 >> else if(fem_id==8){
244 >>   if(rawchip<27) module=5;
245 >>   else module=6;
246 >> }
247 >>
```

図 3.6 module 番号の決定。

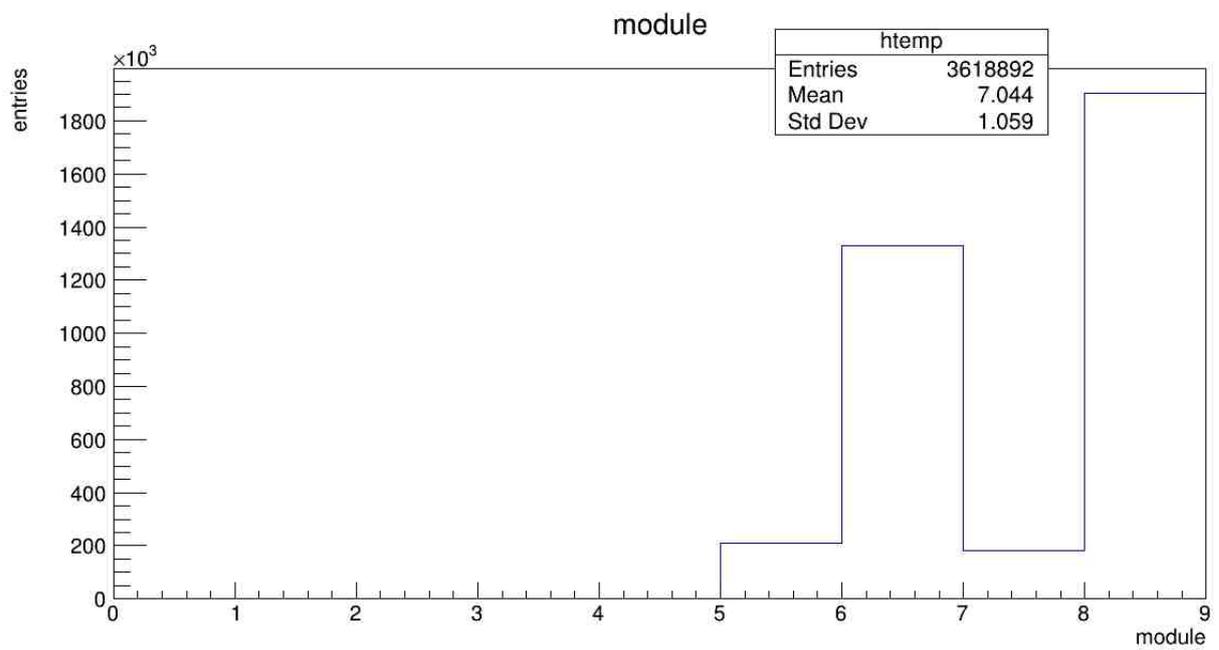


図 3.7 chip1,14 上に線源を置いて測定したときの module ヒストグラム。

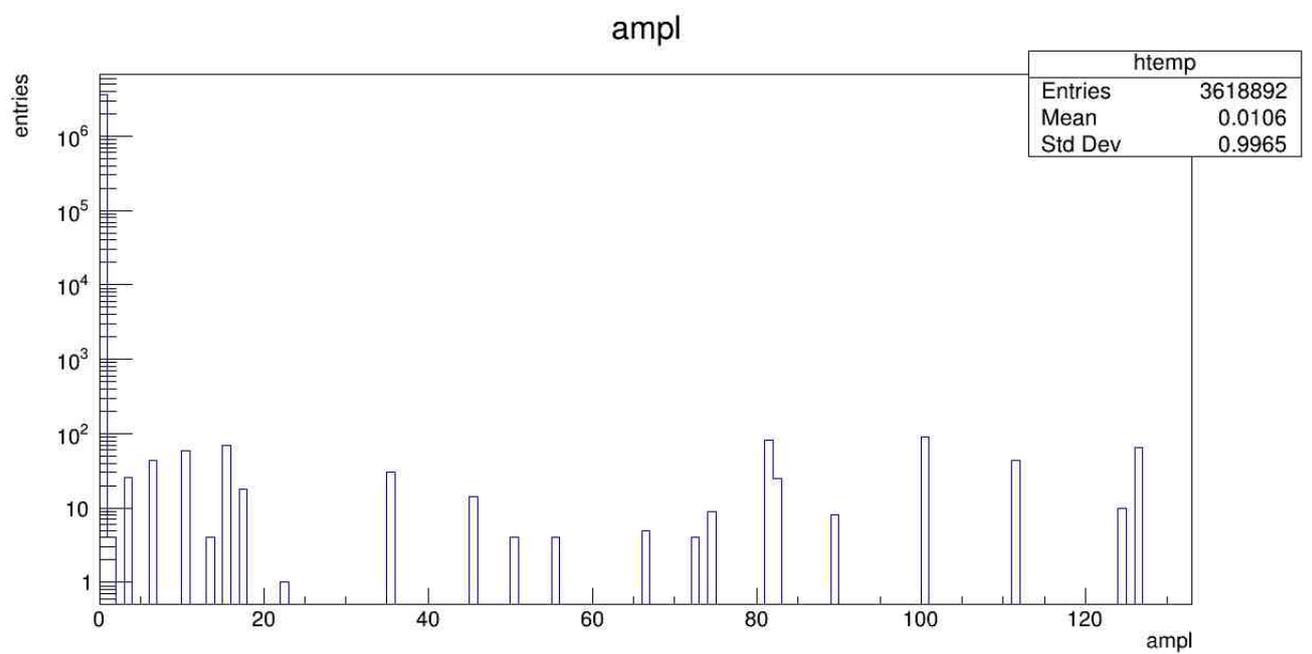


図 3.8 chip1,14 上に線源を置いて測定したときの amplitude ヒストグラム。

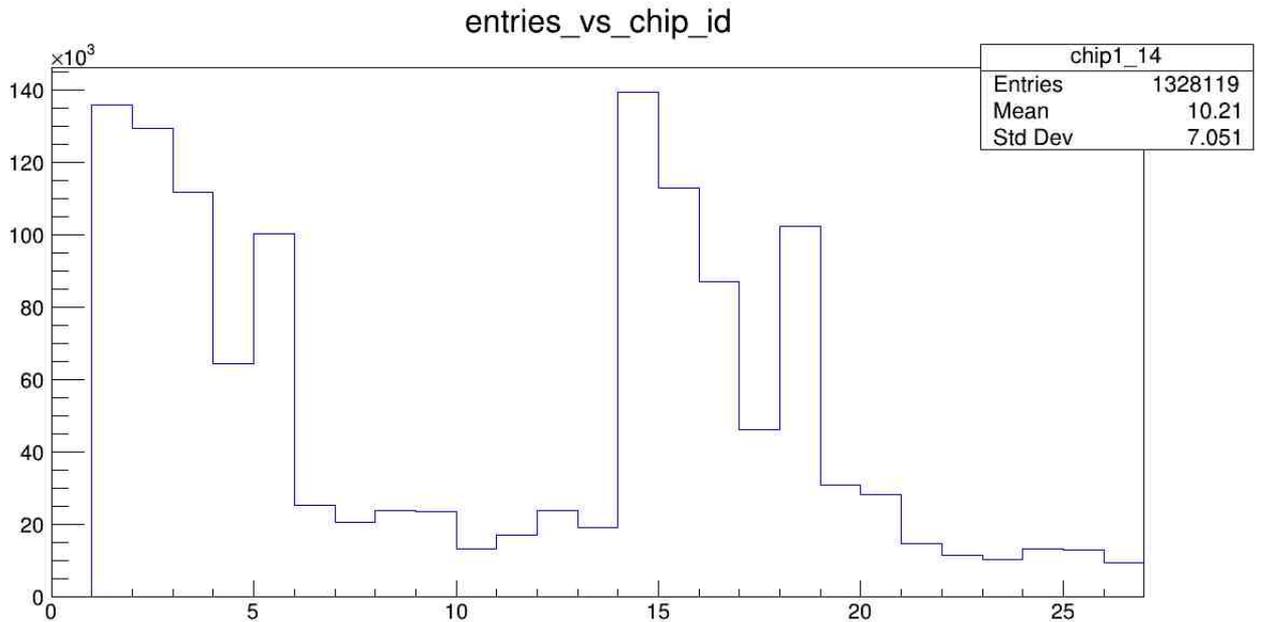


図 3.9 chip1,14 上に線源を置いて測定した結果からノイズを除去した。

3.4.2 シリコンセンサー由来のノイズ

線源を配置せずに同様の測定を行った結果が図 3.10 である。また、chip12,25 上に線源を置いて測定した結果と、図 3.10 を重ね合わせたものが図 3.11 である。どちらも測定時間は 10 分間である。これらの結果から、線源を置いていなくても置いているときと同様の数のデータが来ていることがわかった。これはシリコンセンサー由来のノイズである。この測定結果における ADC 分布が図 3.12 である。この図から、ノイズは ADC0 に集中していることがわかる。これは DAC 閾値の最低値 (DAC0 の値) が低いため、ノイズを拾いやすくなっていると考え、表 3.2 のように DAC0 の設定値を変更して線源測定した結果が図 3.13 である。この測定は図 3.4 のように chip1,14 上に線源を置いて行っており、図は同様の線源の位置で DAC0 の値を変更する前の測定結果と比較している。この結果から、シリコンセンサー由来のノイズは DAC 閾値の最低値を上げることで減らすことができるとわかった。

3.5 channel 番号別のエントリー数

INTT 用シリコンセンサーは、128 個のシリコンストリップで 1 つの chip が構成されている。このストリップには図 2.2 のように番号が振られており、外側が 0 番、内側が 127 番の順に並んでいる。縦に並んでいる 2 つの chip の中間に線源を置いて測定を行った場合、エントリー数は線源に最も近い channel127 が最多となり、channel 番号が減少するにつれてエントリー数も減少すると考えられる。図 3.14 は DAC0=20 で chip1,14 上に線源を置いたときの、chip1 の channel 番号別ヒストグラムである。この図から、線源に近い channel127 が最もエントリー数が多くなっており、channel 番号が減少するにつれてエントリー数も徐々に

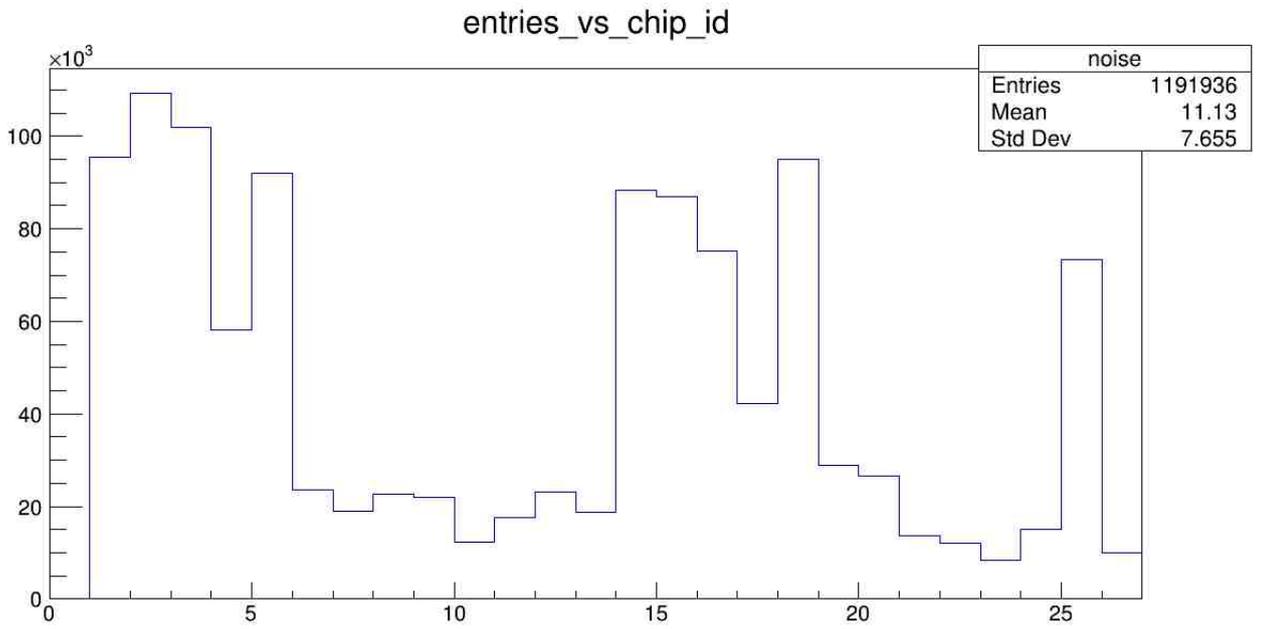


図 3.10 線源を置かずに測定したときの chip ヒストグラム。

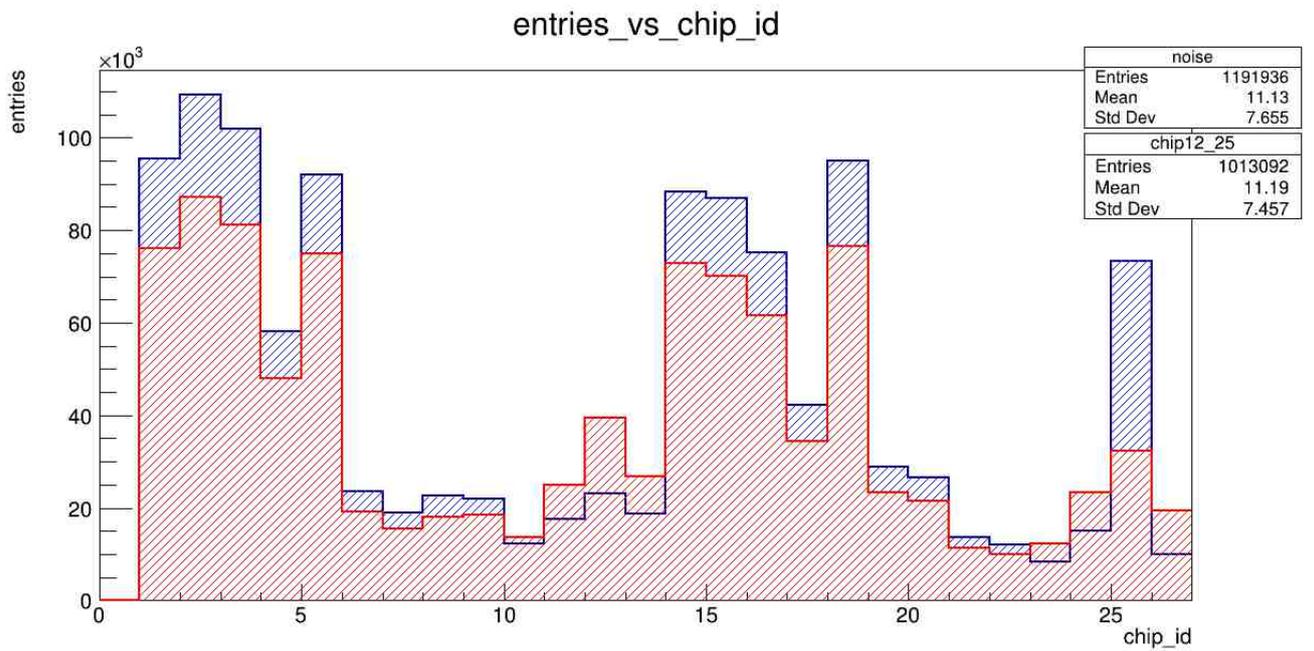


図 3.11 線源を置いたときと置いていないときの chip ヒストグラムの比較、青線が線源無し、赤線が chip12,25 上に線源有り。

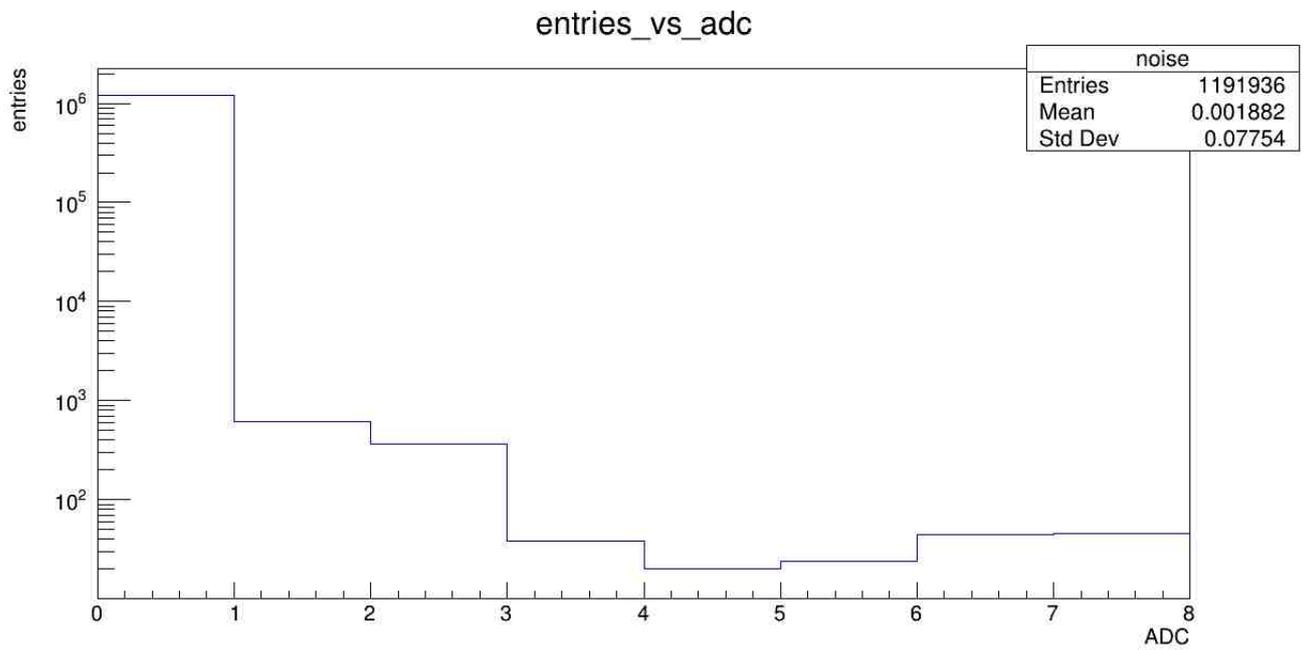


図 3.12 線源なし測定の ADC 分布。

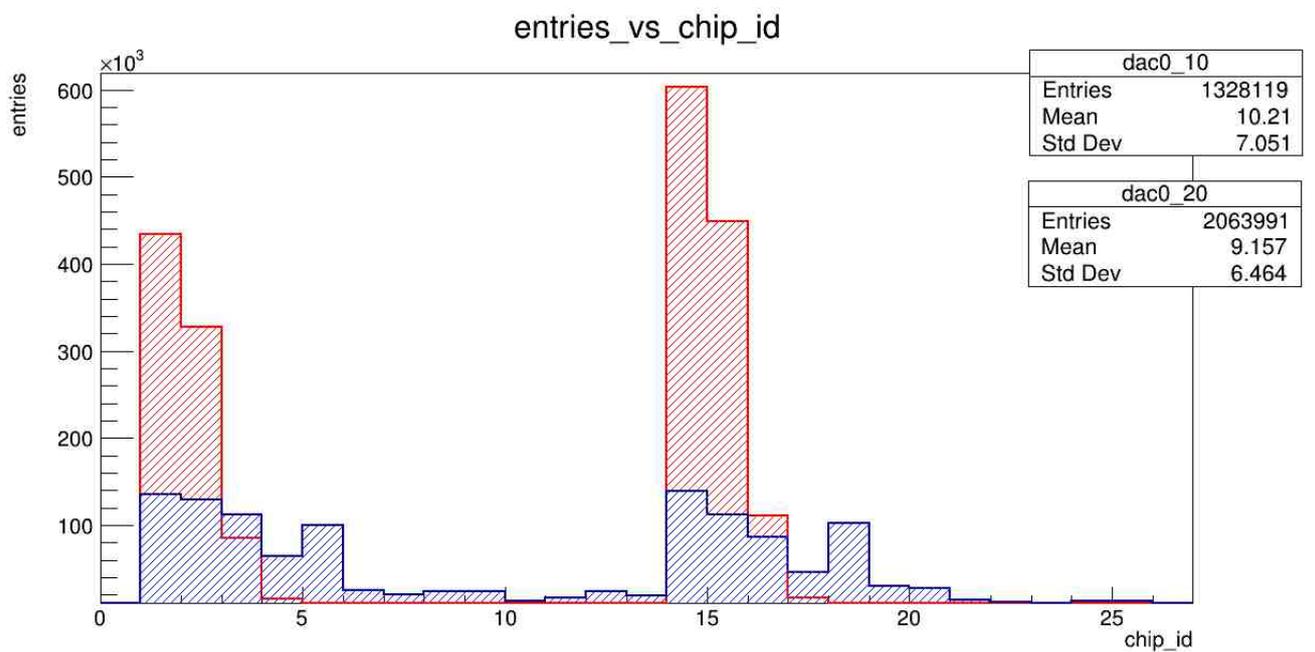


図 3.13 DAC0 の値を変更前後での chip ヒストグラムの比較。赤線が DAC0=10, 青線が DAC0=20。

減少していることがわかる。しかし channel0 から 10 では、channel10 から 127 のエントリー数に比べて大きく減少している。channel0 から 10 のエントリー数の減少は chip1 だけでなく、26 個の chip 全てで見られた。これは DAC0 の値が 20 のときのみ見られ、DAC0 が 10 のときは見られない。DAC0 が 10 でノイズが少ないときにも同様のエントリー数の減少がみられるのか確認するため、DAC0=10 でノイズを減らす測定方法を考案をした。

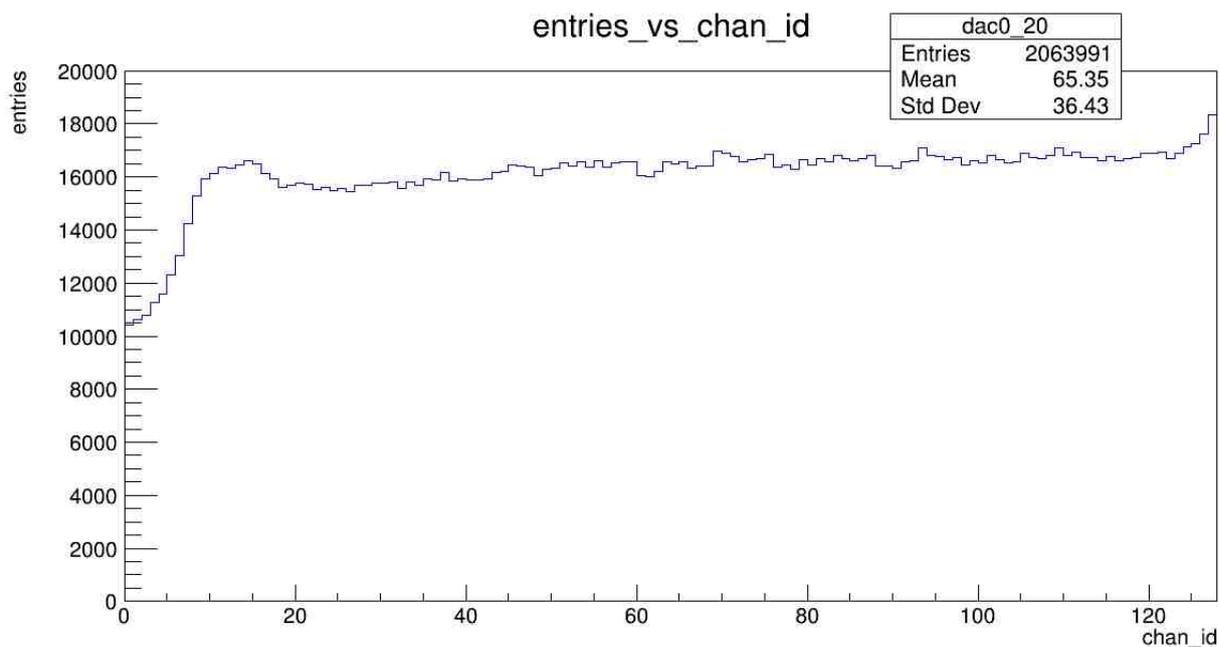


図 3.14 DAC0=20 のときの chip1 の channel ヒストグラム。

3.6 外部トリガー測定

セルフトリガー測定の結果から、DAC 閾値の最低値が低いとシリコンセンサーからのノイズが多く来ることがわかった。このノイズをあまり取らずに DAC 閾値の最低値を小さいまま測定を行うには、セルフトリガー測定は不適である。そのため、外部トリガー測定へ移行した。外部トリガー測定では、シリコンセンサーと外部トリガーであるシンチレーションカウンターの双方が信号を発生した際にデータを取るため、シリコンセンサー由来のノイズを大きく減らすことができると考えられる。一度 DAC0 の値を 20 から 10 に下げた表 3.1 の設定で、図 3.15 のように chip3,16 上に線源を置いて 60 分間外部トリガー測定を行った。この測定での chip ヒストグラムは図 3.16 である。この図より、外部トリガー測定では DAC 閾値の最低値が低くてもシリコンセンサー由来のノイズは少なく、線源に最も近い chip のエントリーが最大になっていることがわかる。同じ DAC 値設定、同じ測定時間でのセルフトリガー測定結果と外部トリガー測定結果の ADC 分布を比較したのが図 3.17 であり、青線がセルフトリガー測定結果、赤線が外部トリガー測定結果を示している。この図より、外部トリガー測定ではセルフトリガー測定に比べて ADC0 に来るノイズを減らすことができるとわかる。また、この測定での chip3 の channel 番号別のヒストグラムを図 3.18 に示した。この図からは channel0 から 10 のエントリー数の減少は見られないが、これは chip3 の総エントリー数がこれまでの測定の約 1000 分の 1 に減少しているために見えていないと考えられる。そのため、測定時間を伸ばして再度測定を行った。この測定では図 3.19 のように、chip16 の上に線源を配置して 155 分間測定した。chip ヒストグラムを図 3.20 に、線源に最も近い chip16 の channel ヒストグラムを図 3.21 に示した。図 3.21 は channel50 から 127 をガウス関数でフィットしたものを描画している。この図より、外部トリガー測定でも channel0 のエントリー数は約 360 と予想されるが、実際には約 200 であり、これは予想される数の約 55 % である。同様の測定で、chip22 の上に線源をおいて測定したときの channel ヒストグラムを図 3.22 に示した。この図もガウス関数でのフィットを行っている。この図からも、channel0 のエントリー数の予想は約 900 だが、実際のエントリー数は約 500 であり、予想される数の約 55 % であることがわかる。



図 3.15 線源を chip3,16 上に配置した。

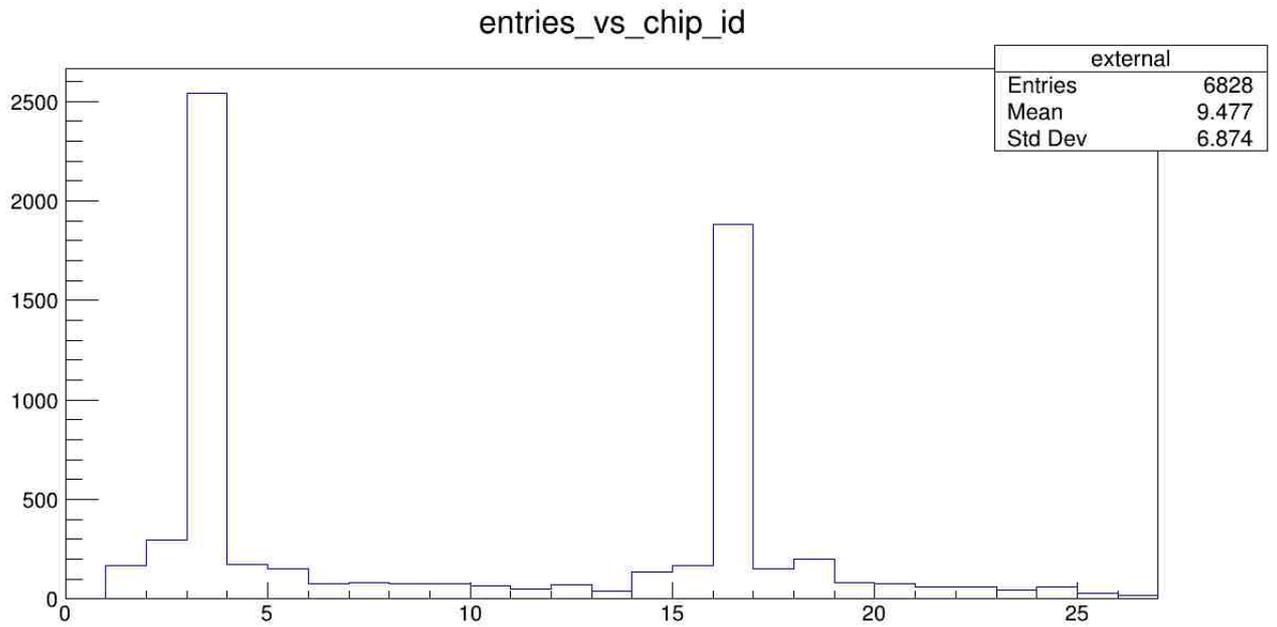


図 3.16 外部トリガー測定を行ったときの chip ヒストグラム。

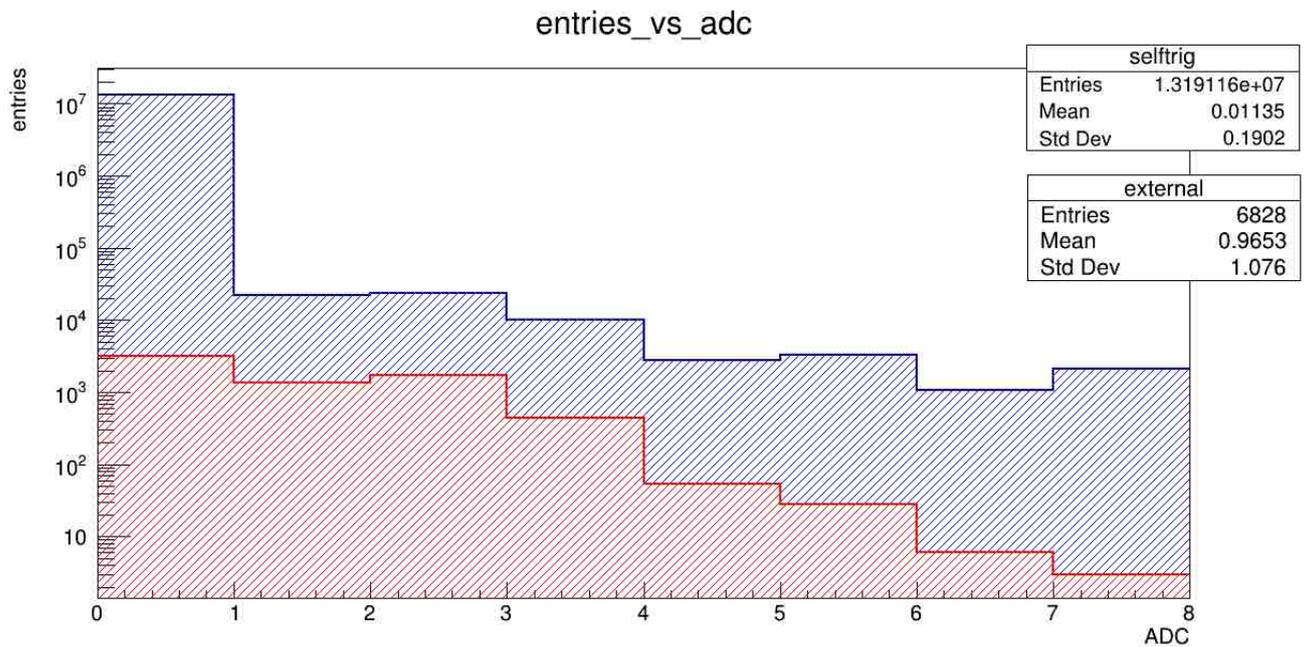


図 3.17 セルフトリガー測定結果と外部トリガー測定結果の ADC 分布の比較。

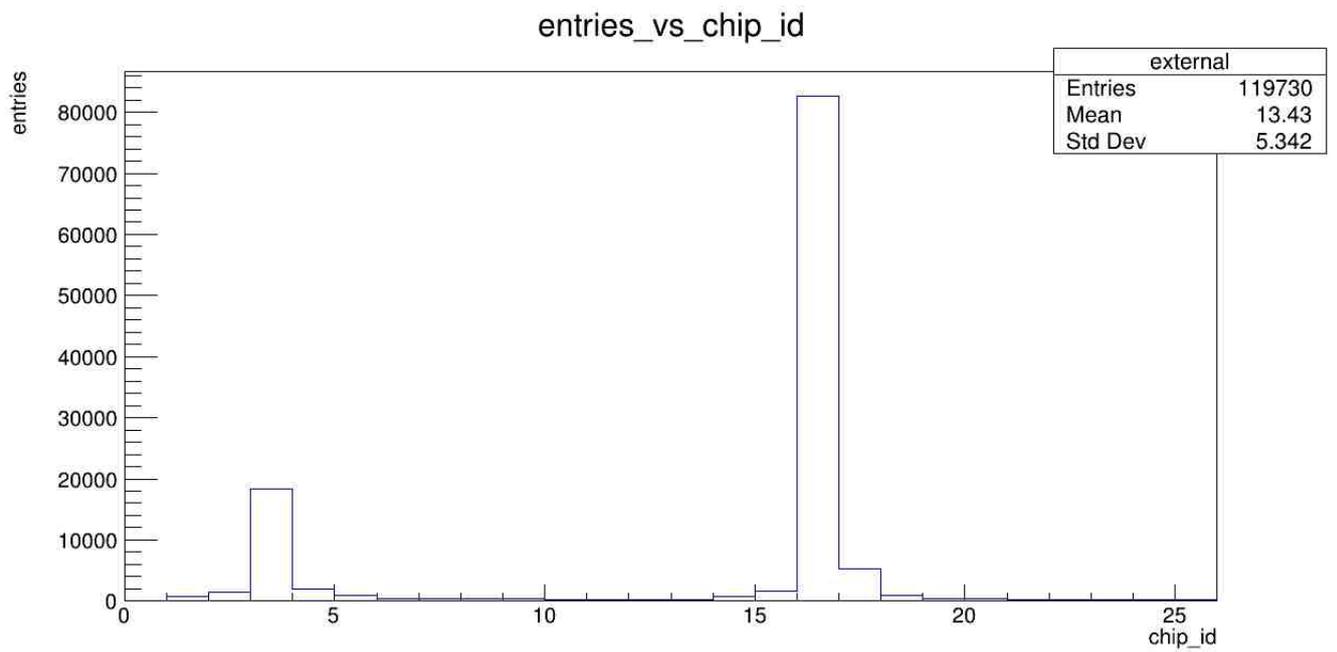


図 3.20 chip16 上に線源をおいて 155 分間測定したときの chip ヒストグラム。

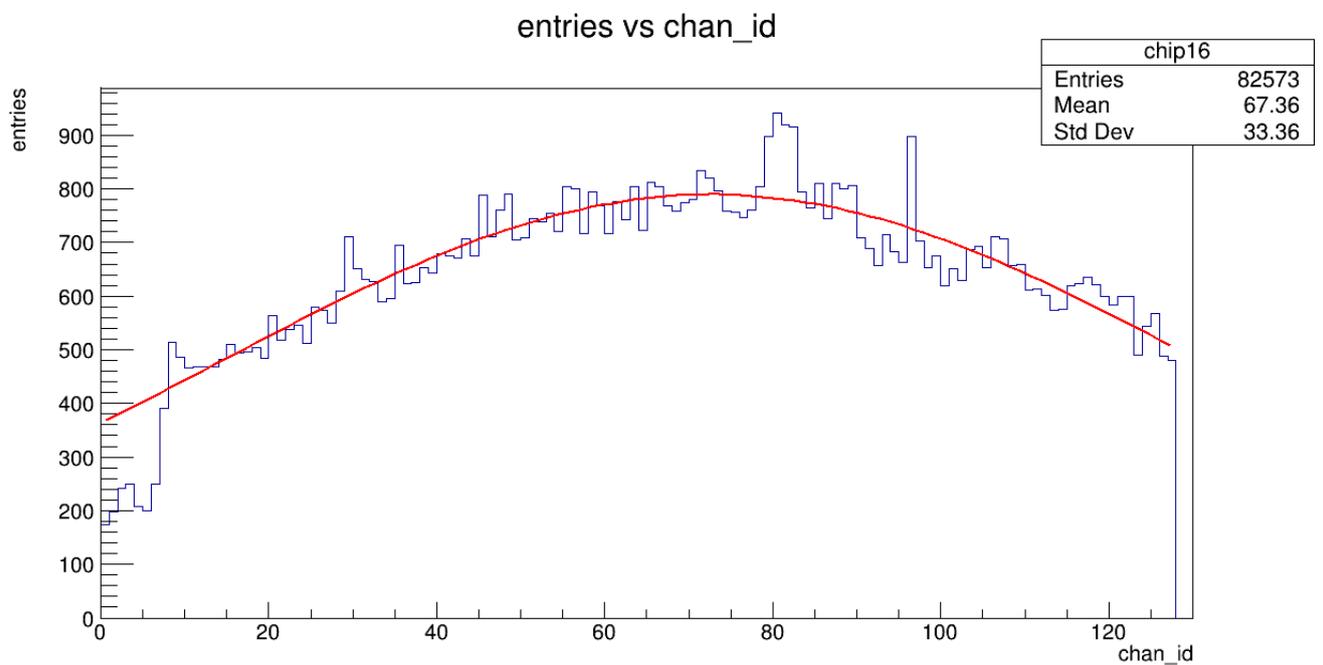


図 3.21 chip16 上に線源をおいて 155 分間測定したときの channel ヒストグラム。赤線は channel50 から 127 を元にしたガウス関数である。

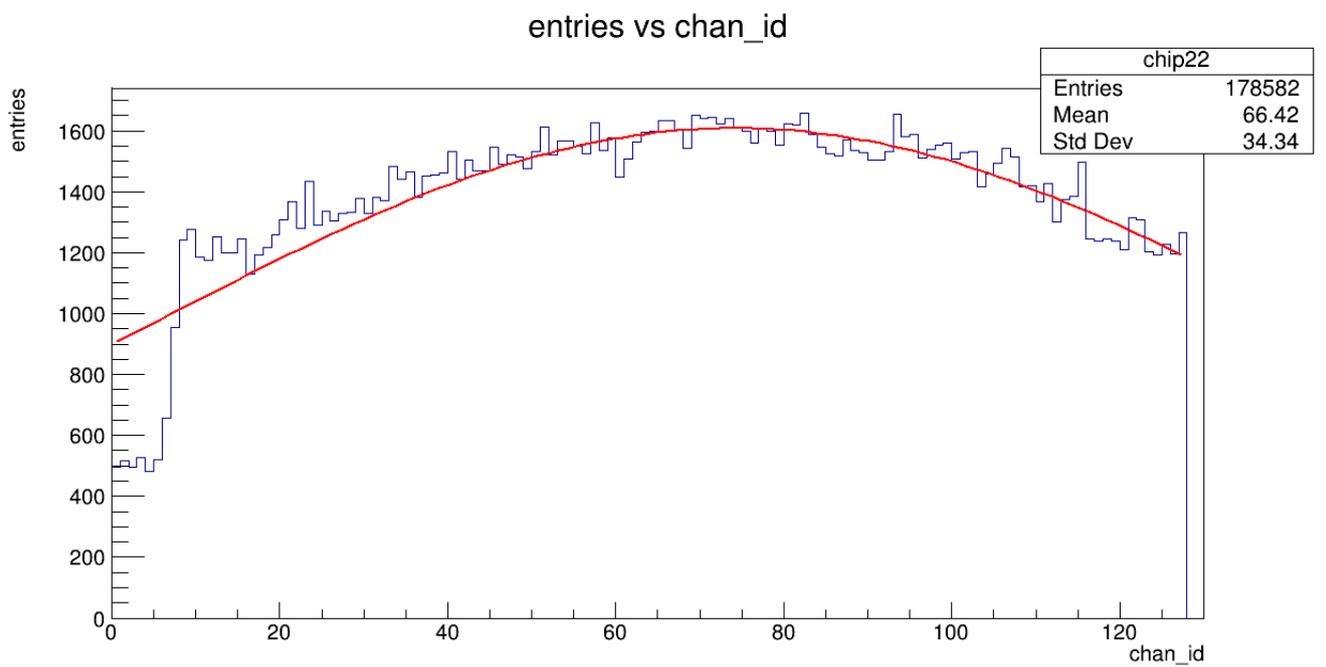


図 3.22 chip22 上に線源をおいて 852 分間測定したときの channel ヒストグラム。赤線は channel50 から 127 を元に描いたガウス関数である。

第 4 章

channel0 から 10 のエントリー数減少の原因 探索

4.1 キャリブレーションテストデータの解析

線源測定の結果より、シリコンセンサーモジュールのすべての chip で channel0 から 10 で観測されるエントリー数が、予想されるエントリー数の半分程度になっていることがわかった。このエントリー数の減少の原因がテストベンチのどこにあるのかを探るために、キャリブレーションテストデータの解析を行った。2.3 に記したように、キャリブレーションテストは ROC で生成されたテストパルスが FPHX チップで変換され、ROC,FEM を経て PC にデータとして出力されるかどうかを確認するテストである。このテストではシリコンセンサーを除いたテストベンチの動作確認が行えるため、結果に異常がなければ FPHX チップとシリコンセンサー間、もしくはシリコンセンサーに channel0 から 10 のエントリー数減少の原因があることがわかる。

4.1.1 解析方法

キャリブレーションテストの結果は図 2.10、2.11 として表示される。解析では図 2.10 のテストパルスの波高 amplitude と出力 ADC の相関関係について、プログラムを用いて傾きと切片を求めた。10 回分のキャリブレーションテスト結果について、異常の見られている channel0 から 10 の切片、傾きを示したのが図 4.1、異常の見られていない channel60 から 70 について示したのが図 4.2 である。どちらも傾きは 0.12、切片は -4.19 であり、大きな違いはないことがわかる。この結果から、キャリブレーションテストでは異常は見られないことがわかった。よって、線源測定で見られた channel0 から 10 のエントリー数現象の原因は FPHX チップからシリコンセンサーの間、もしくはシリコンセンサー自身にあることがわかった。

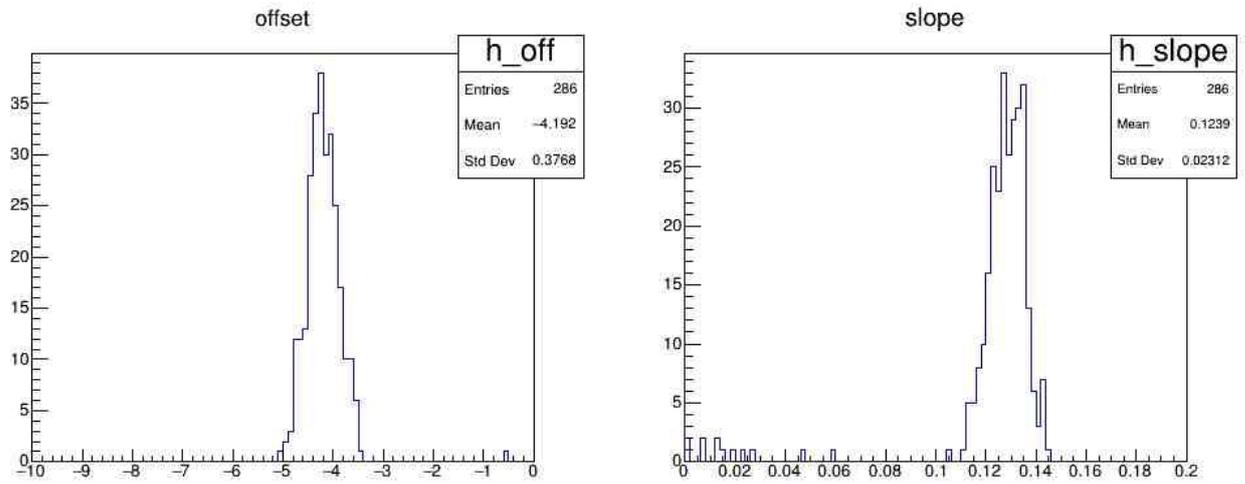


図 4.1 channel0 から 10 の amplitude と ADC 相関関係の切片、傾き。

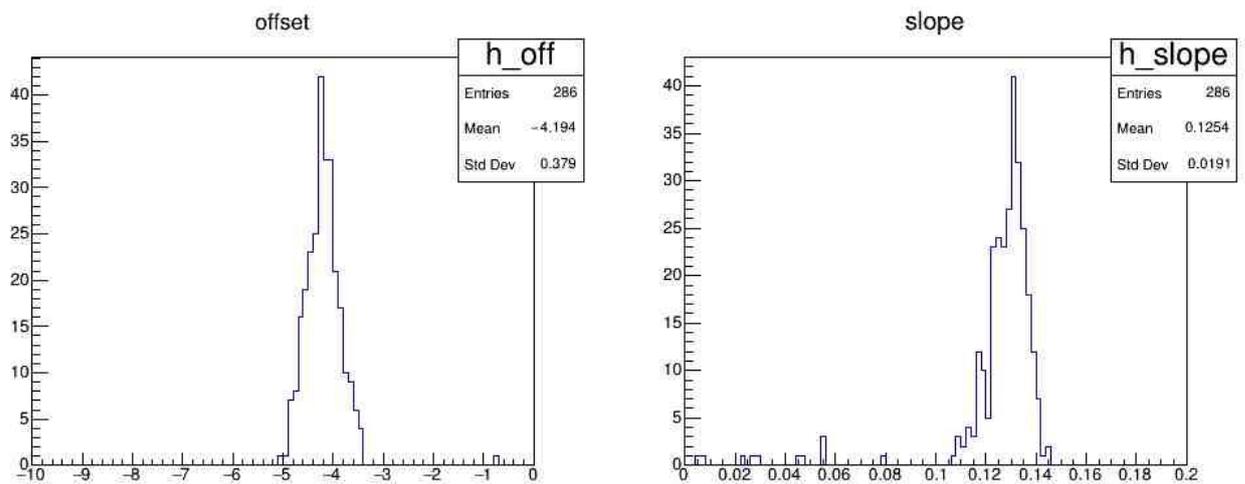


図 4.2 channel60 から 70 の amplitude と ADC 相関関係の切片、傾き。

第 5 章

結論

本研究ではベータ線源を用いたシリコンセンサーの性能評価と、そのためにテストベンチの変更を行った。テストベンチについてはベータ線を外部トリガーを用いて測定できるよう変更し、そのために制作したアクリル製センサーケースは、底面もアクリルでできているためシリコンセンサーの下方にシンチレーションカウンターなどを設置する際の位置のズレを最小限に抑えることができるようになった。シリコンセンサーのみを用いるセルフトリガー測定では、DAC 閾値設定の最小値が低いとノイズを多く拾ってしまうことがわかった。一方で外部トリガー測定では DAC 閾値設定の最小値を低くしても、ノイズをあまり取らずに測定できることがわかった。また、シリコンセンサーの外側にあたる channel 番号 0 番から 10 番のエントリー数が、予想されるエントリー数の約 55 % であることを発見した。キャリブレーションテスト結果の解析により、エントリー数現象の原因はシリコンセンサーモジュールの FPHX チップからシリコンセンサー間、もしくはシリコンセンサー自身にあることがわかった。

謝辞

本研究において、ご指導ご鞭撻頂いた蜂谷先生に心より感謝申し上げます。蜂谷先生には、初めて触れるハードウェアの取り扱い、データ解析の手法や物理学の知識に至るまで様々に助けていただきました。今年度は新型コロナウイルスの流行もあり、自分が果たして研究というものを行うことができるのか不安でしたが、蜂谷先生が事細かに面倒を見てくださったためここまで至ることができました。

また、本研究へアドバイスを下さり、本論文の添削も行って下さった理化学研究所の糠塚さん、秋葉さん、中川さんにも感謝申し上げます。研究室内での発表で、コメントやアドバイスを下さった林井先生、宮林先生、下村先生及び高エネルギー物理学研究室の先輩方にも大変お世話になりました。

そして、1年間を共に過ごした同回生の犬飼さん、黒田さん、五屋さん、高濱さん、西森さん、安西さんへ感謝申し上げます。皆様のおかげで卒業研究を進めることができました。

本研究を進めるに当たり、支えて下さった全ての方にこの場を借りて御礼申し上げます。

参考文献

- [1] 渡邊靖志 2002 『素粒子物理入門』, 培風館
- [2] KOHSUKE YAGI, TETSUO HATSUDA AND YASUO MIAKE 2005 『Quark-Gluon Plasma』, CAMBRIDGE UNIVERSITY PRESS
- [3] 2020 『物理大図鑑』, ニュートンプレス
- [4] 木舟正 2004 『宇宙高エネルギー粒子の物理学』, 培風館
- [5] 秋葉康之 2014 『クォーク・グルーオン・プラズマの物理』, 共立出版
- [6] 小川岩雄 1964 『基礎原子力講座 2』, コロナ社
- [7] sPHENIX <https://wiki.bnl.gov/sPHENIX/index.php/SPHENIX> Retrieved February 2, 2021
- [8] 鈴木彩香 2020 『RHIC-sPHENIX 実験における INTT シリコンモジュールの性能評価 ビームテスト実験のデータ解析』, 修士論文, 奈良女子大学
- [9] 柴田実香 2020 『RHIC-sPHENIX 実験における中間飛跡検出器 INTT 用シリコンセンサーによる宇宙線測定』, 卒業論文, 奈良女子大学
- [10] 森田美羽 2020 『RHIC-sPHENIX 実験における中間飛跡検出器 INTT 用高密度ケーブル Bus-extender の品質評価と改善』, 卒業論文, 奈良女子大学
- [11] 西森早紀子 2021 『sPHENIX 実験における中間飛跡検出器 INTT の宇宙線を用いた検出効率の研究』, 卒業論文, 奈良女子大学
- [12] 竹内淳 2007 『高校数学でわかる半導体の原理』, 講談社
- [13] 三井真吾 2013 『p 型シリコンストリップセンサーとピクセルセンサーの設計及び放射線損傷評価』, 博士論文, 総合研究大学院大学