

令和元年度 修士論文

RHIC-sPHENIX 実験における  
INTT シリコンモジュールの性能評価  
ビームテスト実験のデータ解析

奈良女子大学大学院人間文化研究科  
数物科学専攻物理学コース  
高エネルギー物理学研究室

博士前期課程 2 年  
学籍番号 18810054

鈴木 彩香

2020 年 3 月 2 日

## 概要

INtermediate Tracker (INTT) は、シリコンストリップ型飛跡検出器であり、米国ブルックヘブン国立研究所の重イオン衝突型加速器 (Relativistic Heavy Ion Collider: RHIC) で 2023 年から稼働予定の sPHENIX 実験で使用される。sPHENIX 実験は、クォークとグルーオンが閉じ込めから解放される状態 (クォークグルーオンプラズマ: QGP) の性質を解明することを目的とする。そのために、INTT には精度の高い位置分解能が求められる。

INTT シリコンモジュールは、 $320\ \mu\text{m}$  厚のシリコンセンサー、読み出しチップ (FPHX)、高密度接続基板 (High Density Interconnect: HDI) から構成されている。シリコンセンサーのストリップサイズは、 $78\ \mu\text{m} \times 16\ \text{mm}$  (Type-A) と  $78\ \mu\text{m} \times 20\ \text{mm}$  (Type-B) の 2 種類ある。1 シリコンモジュールあたりのシリコンセンサーのサイズは、 $232.2\ \text{mm} \times 22.5\ \text{mm} \times 0.32\ \text{mm}$  である。FPHX は 1 チップあたり 128 個の読み出しチャンネルと 1 チャンネルあたり 3 bit の ADC 機能を持ち、8 bit DAC 設定を行える。シリコンモジュール 1 つあたり 26 個の FPHX が搭載されている。

INTT の性能評価を行うため、2019 年 6 月に米国フェルミ国立研究所で実施したビームテスト実験でのデータ解析を行った。INTT シリコンモジュールの性能評価項目として、検出効率の測定、通過荷電粒子 (Minimum Ionizing Particle: MIP) のエネルギー損失測定、長軸データ伝送ケーブル Bus Extender の動作確認を行った。ビームは 120 GeV の陽子ビームで、3 つのシリコンモジュールをビームに対して垂直に並べて配置する。ビーム上流から L0, L1, L2 とし、全てのシリコンモジュールを通過したトラック数を数えることで各モジュールの検出効率を導出する。その結果、L0 の検出効率は  $96.0 \pm 0.5\%$  となった。この結果をシミュレーションや過去の測定データと比較し、議論を行う。各 DAC の閾値を細かく設定し全 DAC 範囲を網羅することで、精密な MIP のエネルギー損失を測定する。その結果、 $320\ \mu\text{m}$  厚のシリコンセンサーで落とす MIP のエネルギーは、 $50.54 \pm 0.29\ [\text{KeV}]$  であることがわかった。

本論文では、ビームテスト実験で測定した INTT シリコンモジュールの性能評価の結果について報告し、非検出効率の原因等について議論する。

# 目次

第 1 章	序論	1
1.1	素粒子標準モデル	1
1.2	クォークグルーオンプラズマ	1
1.2.1	重イオン衝突実験	2
1.3	シリコン検出器	3
1.3.1	動作原理	3
1.3.2	前置回路	3
1.4	Motivation	4
第 2 章	RHIC-sPHENIX 実験における INTT シリコン検出器	6
2.1	Relativistic Heavy Ion Collider (RHIC)	6
2.2	PHENIX 実験	6
2.3	sPHENIX 実験	7
2.3.1	Monolithic-Active-Pixel-Sensor-based Vertex Detector (MVTX)	7
2.3.2	Time Projection Chamber (TPC)	8
2.4	INtermediate Tracking detector (INTT)	8
2.4.1	sPHENIX-INTT におけるデータ読み出しシステム	9
2.4.2	シリコンストリップセンサー	11
2.4.3	FPHX chip	12
2.4.4	High Density Interconnect (HDI)	12
2.4.5	Bus Extender	12
2.4.6	Conversion Cable	13
2.4.7	Read Out Card (ROC)	14
2.4.8	Front End Module (FEM)	14
2.4.9	FEM - Interface Board (FEM-IB)	14
第 3 章	テストベンチでの INTT シリコンモジュールの動作確認	18
3.1	キャリブレーションテスト	18
3.2	キャリブレーションテスト結果	19
3.3	外部トリガーモードによる宇宙線測定	19
3.3.1	宇宙線がシリコン中を通過する際に失うエネルギー	22
3.4	宇宙線測定結果	23
第 4 章	ビームテスト実験	25

4.1	セットアップ	25
4.2	データセット	26
4.2.1	ヒットチャンネル分布	26
4.3	検出効率を求める解析手順	27
4.3.1	各層でのヒット選定	28
4.3.2	L1, L2 の全チャンネル位置を L0 に揃える	29
4.3.3	L0 のヒットチャンネルを L1, L2 のヒットチャンネルから予測	29
4.3.4	L0 の実測値と予想値のチャンネル差を計算	30
4.3.5	検出効率を計算	30
4.4	結果	30
4.4.1	各層の検出効率	30
4.4.2	Run 毎の検出効率比較	31
4.4.3	MIP 測定	32
4.4.4	Bus Extender ありでの検出効率測定結果	33
第 5 章	議論	38
5.1	Geant4 による検出効率の測定	38
5.2	前年度収集データとの比較	41
5.3	タイミングスタディ	43
5.4	Run 毎の検出効率の変化の原因追求	47
第 6 章	結論	51
付録 A	ビームテスト実験の Run 毎の測定条件記録	52
	謝辞	54

# 目次

1.1	素粒子標準モデル	2
1.2	強い相互作用の結合定数 $\alpha_s$ と $Q$ の関係	2
1.3	宇宙の歴史	3
1.4	pn 接合	4
1.5	シリコンストリップ検出器で用いられる波形増幅・整形回路	4
2.1	RHIC 加速器	6
2.2	PHENIX 検出器	7
2.3	sPHENIX 検出器	8
2.4	sPHENIX 実験における検出器群	9
2.5	MVTX	9
2.6	TPC	10
2.7	INTT	10
2.8	INTT ラダー	11
2.9	INTT シリコンモジュール	11
2.10	INTT ラダーのパレル型構造と並べ方	11
2.11	Stave の冷却システム	12
2.12	sPHENIX 実験での INTT のデータ読み出しシステム	13
2.13	シリコンセンサー Type-A と Type-B	13
2.14	FPHX output	14
2.15	FPHX chip	14
2.16	HDI の断面図	15
2.17	Bus Extender に必要な長さ と 薄さ	15
2.18	Conversion cable	16
2.19	ROC	16
2.20	FEM, FEM-IB	17
3.1	INTT テストベンチの様子	18
3.2	キャリブレーションテストセットアップ	19
3.3	1 チップにおける相関分布	20
3.4	各チップでのテストパルス の 入力波高 と 出力 ADC の 相関分布	20
3.5	各チップの全チャンネルでのテストパルスのヒット数分布	20
3.6	1 チップ 1 チャンネルでの入力波高に対する出力ヒット数分布	21
3.7	外部トリガーを用いた宇宙線測定セットアップ	21

3.8	外部トリガーモードのオシロスコープ観測画面	22
3.9	シリコン中での MIP のエネルギー損失	23
3.10	宇宙線測定でのエネルギー損失分布	24
4.1	ビームテスト施設内のコントロールエリア	25
4.2	箱の中のシリコンモジュール配置図	26
4.3	ビームテストセットアップ	27
4.4	全層の各チップのヒットチャンネル分布	28
4.5	L0 の chip 6 でのヒットチャンネル分布	28
4.6	ビームが当たった場所	29
4.7	チャンネルストリップ番号付け	29
4.8	L1, L2 のチャンネル相関分布とチャンネル差分布	31
4.9	解析手順の流れ	32
4.10	Run 毎の検出効率比較	32
4.11	ノイズの多い Run のヒットチャンネル分布	33
4.12	シリコンモジュールの位置を変更したときのヒットチャンネル分布	33
4.13	DAC スキャン設定	34
4.14	DAC スキャンによるエネルギー損失分布	34
4.15	Bus Extender ありでの測定の様子	35
4.16	Bus Extender ありでの全層の各チップのヒットチャンネル分布	35
4.17	Bus Extender ありでのチャンネル相関分布とチャンネル差分布	36
4.18	ターゲット層の ADC 分布	37
4.19	Bus Extender ありでの chip 20 でのチャンネル相関分布とチャンネル差分布	37
5.1	Geant4 シミュレーションのセットアップ	38
5.2	シミュレーションによるエネルギー損失 (MeV) 分布	39
5.3	増幅率 300(mV/fC) でのエネルギー損失 (mV) 分布	39
5.4	増幅率とオフセットを適用したエネルギー損失 (mV) 分布	40
5.5	データとシミュレーションの ADC 分布比較	40
5.6	$\theta = 1$ でのエネルギー損失分布	41
5.7	シミュレーションによる全層のヒットチャンネル分布	41
5.8	シミュレーションによるチャンネル相関分布	42
5.9	前年度収集データでの全層のヒットチャンネル分布	43
5.10	前年度収集データでのチャンネル相関分布とチャンネル差分布	44
5.11	今年度データと前年度データの ADC 分布	45
5.12	今年度データと前年度データのエネルギー損失分布	45
5.13	タイミングの違いによる L0 ヒットの取りこぼし仮説	46
5.14	(ch1 - ch2) 分布	47
5.15	L2 の ch1 と ch2 相関分布	47
5.16	L2 がダブルヒットにおけるチャンネル相関分布とチャンネル差分布	48
5.17	L0 のヒット数分布とシングルヒットの ADC 分布	48
5.18	L0 ダブルヒットの相関分布	49

5.19	L0 のヒット予想値と離れたダブルヒットの相関分布 . . . . .	49
5.20	Run 560 と Run 567 の L2 のヒットチャンネル分布 . . . . .	50
6.1	ビームテスト実験の Run 毎の測定条件記録 (DAC スキャン) . . . . .	52
6.2	ビームテスト実験の Run 毎の測定条件記録 (Bus Extender なし、あり) . . . . .	53

# 表目次

2.1	バレル構造における各層でのラダーの数とビーム軸からの距離 . . . . .	12
3.1	キャリブレーションテストでの DAC 閾値設定 . . . . .	19
3.2	DAC 設定 . . . . .	23
4.1	シリコンモジュールの電圧と電流 . . . . .	26
4.2	データリスト . . . . .	26
4.3	検出効率結果 (単位: %) . . . . .	30
4.4	Bus Extender ありでの検出効率結果 (単位: %) . . . . .	36
5.1	データとシミュレーションの検出効率比較 (単位: %) . . . . .	42
5.2	今年度データと前年度データの検出効率比較 (単位: %) . . . . .	43
5.3	DAC 閾値と ADC 値の関係 . . . . .	46

# 第 1 章

## 序論

### 1.1 素粒子標準モデル

素粒子標準モデルを図 1.1 に示す。17 種類の素粒子のうち 12 種類がクォークやレプトンと呼ばれる物質粒子で、4 種類がゲージ粒子と呼ばれる素粒子間の力を媒介する粒子である。もう 1 種類はスカラー粒子と呼ばれ、物質粒子と Z 粒子と W 粒子に質量を与える粒子である。クォークは、質量の軽いものから u(up)、d(down)、s(strange)、c(charm)、b(bottom)、t(top) の 6 種類ある。それぞれの電荷は、u, c, t クォークが  $+2/3e$ 、d, s, b クォークが  $-1/3e$  であり、反クォークではクォークと反対の符号の電荷を持つ。クォークと反クォークの組み合わせによってできる粒子をハドロンといい、陽子 (u, u, d) や中性子 (u, d, d) もその例である。レプトンは、質量の軽いものから電子 (e)、ミュー粒子 ( $\mu$ )、タウ粒子 ( $\tau$ ) の 3 種類ある。レプトンの電荷は全て  $-1e$  で、反粒子の電荷は  $+1e$  である。各レプトンに対して対となるニュートリノがあり、それぞれ電子ニュートリノ ( $\nu_e$ )、ミューニュートリノ ( $\nu_\mu$ )、タウニュートリノ ( $\nu_\tau$ ) と呼ばれる。ニュートリノは電荷を持たず、質量もほとんど 0 である。これらの物質粒子は全てスピンが  $1/2$  のフェルミオンで、内部構造を持たない点状粒子である。これらの物質粒子の間には、電磁相互作用、弱い相互作用、強い相互作用と呼ばれる 3 つの基本相互作用がある。それぞれに対応したゲージ粒子が存在し、電磁相互作用を伝える粒子が光子、弱い相互作用を伝える粒子が W 粒子と Z 粒子、強い相互作用を伝える粒子がグルーオンである。これらゲージ粒子のスピンは全て 1 である。[秋葉 (2014)]

### 1.2 クォークグルーオンプラズマ

クォークグルーオンプラズマ (QGP) とは、クォークとグルーオンからなるプラズマ状態である。クォークとグルーオンは陽子や中性子を構成する素粒子であるが、単体で観測することができない。これは強い相互作用が離れるほど強くなることで、素粒子はハドロン内に閉じ込められてしまうからである。図 1.2 に強い相互作用における結合定数  $\alpha_s$  と運動量移行  $Q$  の関係を示す。運動量移行  $Q$  は、ビーム軸から垂直方向にどれだけ運動量が増えたかを表す量であり、結合定数  $\alpha_s$  は QCD の摂動法より計算される物理量である。この図から、運動量移行  $Q$  が大きくなると  $\alpha_s$  は小さくなる。これは、運動量移行の大きい反応の場合は相互作用が弱くなり、クォークやグルーオンはほとんど自由粒子のような振る舞いをすることを表している。これを漸近自由性という。つまり、高密度状態のような反応では、相互作用が弱くなるためハドロン内の閉じ込めから解放され、クォークやグルーオンが単体で存在する状態になると予想される。このようなクォークやグルーオンが比較的自由に動き回る相空間をクォークグルーオンプラズマ (QGP) という [秋葉 (2014)]。図 1.3 に示すように、QGP は宇宙の始まりとされるビッグバンから数十  $\mu$  秒後に存在したと考えられており、QGP を検証することで宇宙初期の状態を理解できる。

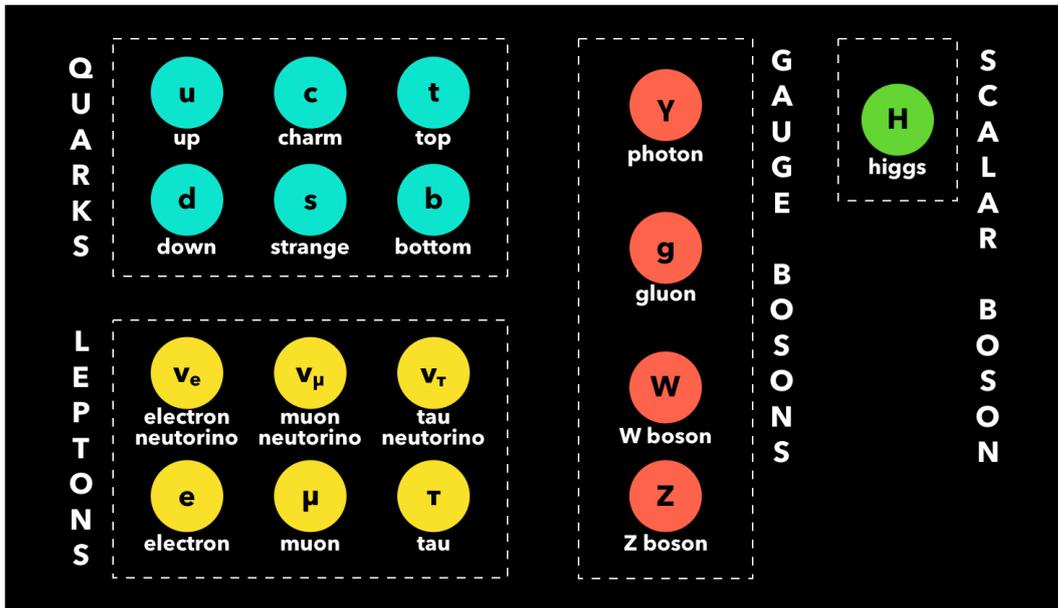
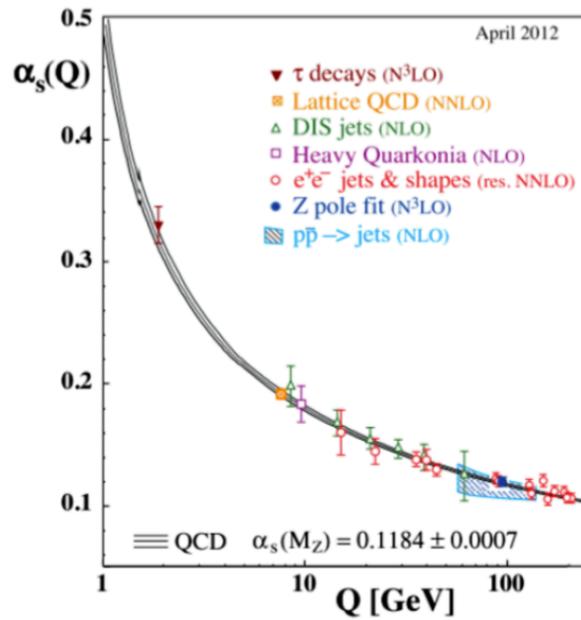


図 1.1 素粒子標準モデル

図 1.2 強い相互作用の結合定数  $\alpha_s$  と  $Q$  の関係 [PDG (2012)]

### 1.2.1 重イオン衝突実験

QGP の実現には、超高温または超高密度状態を作ることが必要である。この方法として、光速近くまで加速させた重い原子核同士を正面衝突させることで超高温・超高密度状態を再現できると考えられる。この期待から始まったのが重イオン衝突実験である。重イオン衝突型加速器は、米国ブルックヘブン国立研究所と欧州原子核研究機構 (CERN) にあり、それぞれ RHIC 加速器 (Relativistic Heavy Ion Collider) と LHC 加速器 (Large Hadron Collider) である。

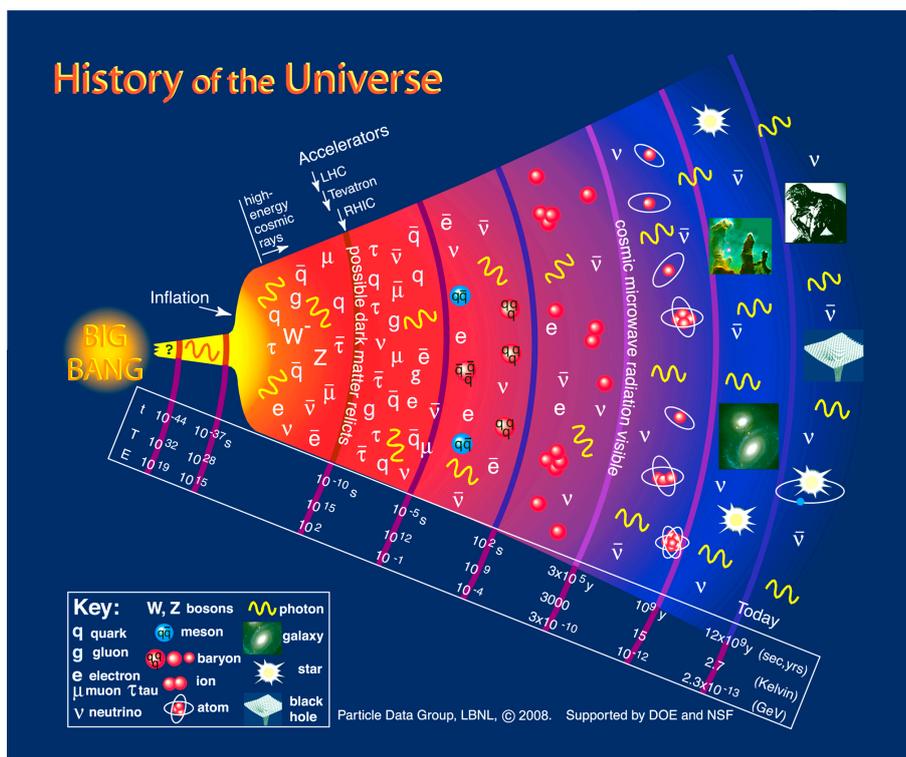


図 1.3 宇宙の歴史

Collider) と呼ばれる。これらの加速器の各衝突点で行われている実験に重イオン衝突実験がある。衝突点に置かれた巨大検出器を用いて、衝突から発生した粒子を測定し QGP の性質解明を目指す。

## 1.3 シリコン検出器

### 1.3.1 動作原理

シリコンにホウ素を少量加えると電子が足りない状態になる。この抜けた穴を正孔 (hole) と呼び、この穴に電子が次々に陽極方向へ移動することで正孔が陰極方向へ移動しているように見える。これが p 型半導体である。一方で、シリコンにリンを少量加えると電子が余る状態になり、この自由電子 (electron) によって電流が流れる。これが n 型半導体である。これらの p 型半導体と n 型半導体を金属接合 (pn 接合) すると、接合部分で n 型半導体の電子が p 型半導体へ移動し、電子正孔対の再結合が起こる。このとき接合部に生じるキャリアの存在しない電場勾配を空乏層という。この空乏層に逆バイアス電圧をかけることで、図 1.4 のように正孔と電子がお互い遠ざかる方向へ移動し空乏層が広がる。ここに荷電粒子が通過すると、落としたエネルギーに比例して電離作用による電子正孔対が生成される。1 つの電子正孔対を作るのに必要なエネルギーは約 3.62 eV である。発生した電子は陽極へ、正孔は陰極へ移動し正孔は電気信号として現れる。これを用いた検出器がシリコン検出器である。[浅野 (2010)]

### 1.3.2 前置回路

シリコンストリップ検出器では、シリコンセンサーで生成される電子正孔対の総電荷量を測定したい。そのために、図 1.5 に示すように電荷信号を積分回路で電圧値にし、収束回路でその波形を整形する。これが前置回路の必要性とその仕組みである。チャンネル数の多いシリコンストリップ検出器の読み出しにはこのような波形増幅・整

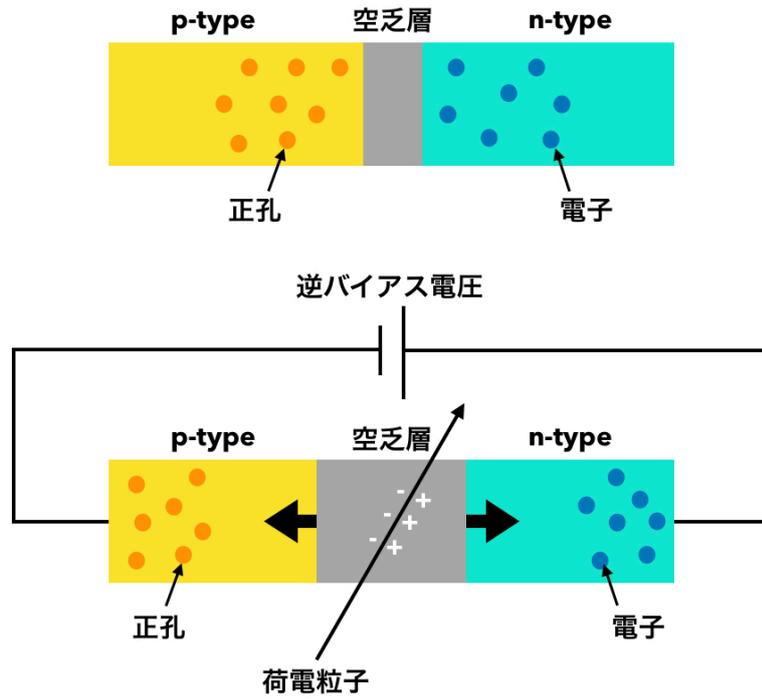


図 1.4 pn 接合

形回路を使用するのが典型的である。[浅野 (2010)]

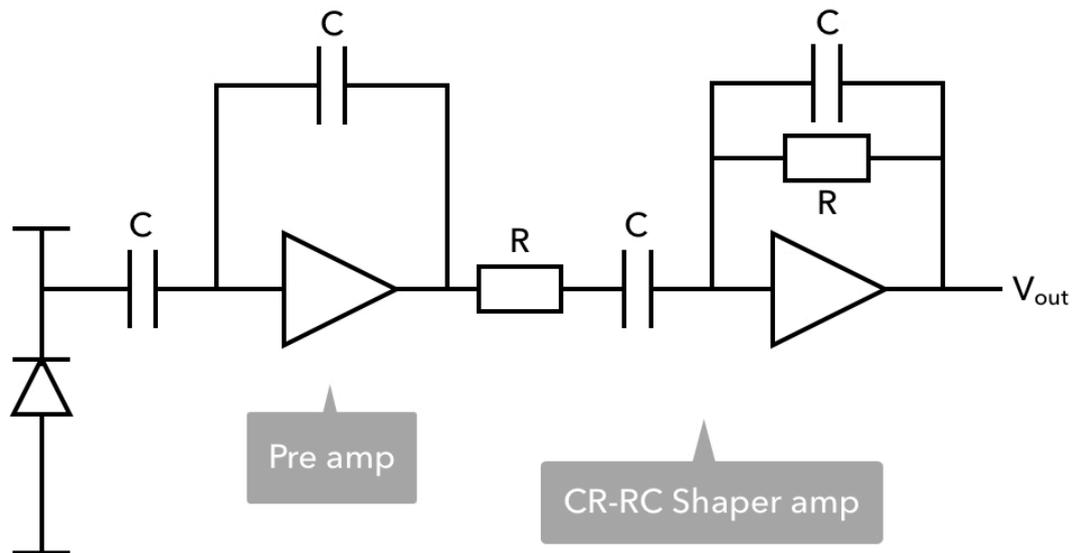


図 1.5 シリコンストリップ検出器で用いられる波形増幅・整形回路

## 1.4 Motivation

sPHENIX 実験ではジェットやアップシロンをプローブとして、より直接的な測定から QGP の性質解明を目指す。そのためにはより高い精度で粒子の飛跡を測定し、多くのデータを記録する必要がある。これらを同時に満た

すために、sPHENIX 実験における 3 つの飛跡検出器の中で中間に位置する INTT(INTermediate Tracker) には、MVTX と TPC の飛跡を繋ぎ 1 ビームバンチ以下の時間分解能を与えることが求められる。現在は開発が進み、大量生産のための確認段階にあるため、検出器自体が正しく機能しているか評価することが重要である。本論文では、INTT シリコンモジュールの性能を評価するため実施したビームテスト実験でのデータを解析し、得られた INTT センサーモジュールの検出効率について報告・議論する。

## 第 2 章

# RHIC-sPHENIX 実験における INTT シリコン検出器

### 2.1 Relativistic Heavy Ion Collider (RHIC)

Relativistic Heavy Ion Collider (RHIC) は、周長約 3.8 km の 2 つの独立なリングからなり、重イオン同士を相対論的な高エネルギーまで加速し衝突させる巨大加速器である (図 2.1)。金原子核同士の衝突の場合、核子あたりの重心系エネルギーが最大 200 GeV、陽子同士の衝突の場合、500 GeV になる。

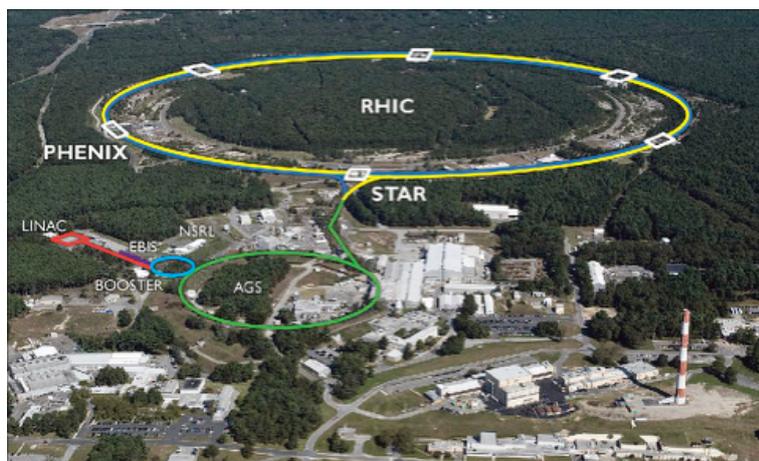


図 2.1 Relativistic Heavy Ion Collider (RHIC)

### 2.2 PHENIX 実験

PHENIX 実験 [PHENIX (2003)] は、RHIC 加速器で行われた主要実験の一つであり、2000 年から 2016 年まで稼働していた。世界 15 ケ国 70 数研究機関から約 500 名の研究者・技術者・大学院生が参加する大規模な国際共同実験である。QGP 生成の実証や性質研究をするために、PHENIX では横運動量で数 GeV/c までのハドロン粒子識別および、電子・ミューオン・光子の測定が重要になる。さらに、高エネルギー粒子の精度良い測定や  $J/\psi$  の質量測定のため、高い運動量分解能が要求される。そのため、これらのことを踏まえた設計がされている。図 2.2 に示すように、中央電磁石が衝突点の周りに置かれ、ビーム軸を対称軸とする軸性磁場を生み出す。その周りには、左右に分かれて東アームと西アームと呼ばれる中央測定器アームが置かれ、重心系で 90 度付近に放出されるハド

ロン、光子、電子の測定を行う。ビーム軸前後方には南ミューオンアームと北ミューオンアームと呼ばれるミューオン測定器が置かれている。さらには、多くのサブシステムからなり、図中の FVTX, BBC, DC, RICH, TOF-E, PbSc, PbGl, MuTr, MuID などはサブシステムの名前を示す。これらのサブシステムからのデータを解析し、 $R_{AA}$  や  $v_2$  などの測定を行い QGP の性質を調べている。

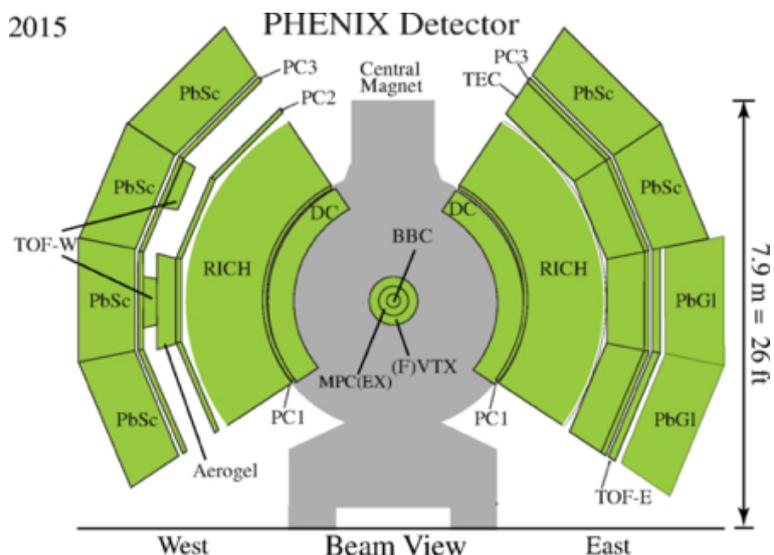


図 2.2 PHENIX 検出器をビーム軸方向から見た図

## 2.3 sPHENIX 実験

sPHENIX 実験 [sPHENIX (2014)] は、PHENIX 実験を高度化した 2023 年から稼働予定の次期実験である。sPHENIX ではハドロジェットや  $\Upsilon$  中間子の測定を行い、QGP の性質解明を目指す。図 2.3 に sPHENIX 検出器の全体像を示す [TDR (2019)]。図 2.4 のように、sPHENIX 検出器は内側から MVTX (MAPS based VerTex Detector), INTT (INtermediate Tracking detector), TPC (Time Projection Chamber), EMCal (Electro Magnetic Calorimeter), HCAL (Hadron Calorimeter) で構成されている。そのうちの MVTX, INTT, TPC は衝突から発生した荷電粒子の飛跡を検出する飛跡検出器といい、内側から MVTX, INTT, TPC の順で配置される。アクセプタンスは、方位角方向に対して  $2\pi$ 、ラビディティ方向に対して  $|\eta| \leq 1.1$  を覆うように設計されている。

### 2.3.1 Monolithic-Active-Pixel-Sensor-based Vertex Detector (MVTX)

Monolithic-Active-Pixel-Sensor-based Vertex Detector (MVTX) [MVTX (2018)] は、sPHENIX 検出器の最内層に位置するピクセル型半導体検出器であり、LHC 加速器における ALICE 検出器に用いるため開発された MAPS (Monolithic Active Pixel Sensor) を使用する。ピクセルサイズは  $27 \mu\text{m} \times 29 \mu\text{m}$  であり、3 層構造のバレル型である (図 2.5)。MVTX では精度の高い飛跡再構成が実現可能で、衝突点と生成粒子の最近接距離を測定することで重いクォーク (特に b クォーク) の検出を行う。衝突中心からビーム軸方向に  $\pm 10 \text{ cm}$ 、方位角方向に対して  $2\pi$  の範囲を覆う。

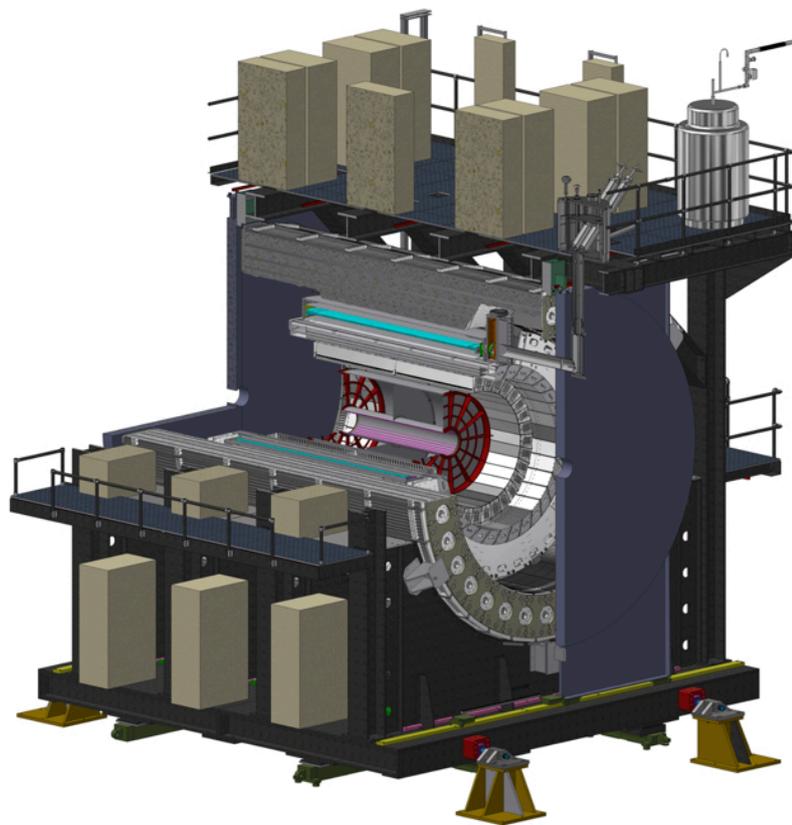


図 2.3 sPHENIX 検出器の全体像

### 2.3.2 Time Projection Chamber (TPC)

Time Projection Chamber (TPC) [TDR (2019)] は、sPHENIX 検出器の 3 つの飛跡検出器のうち最外層（ビームパイプから 20 cm ~ 78 cm）に位置するガス検出器である。TPC では、48 枚の読み出しパッドからの高い位置分解能を持つ。荷電粒子における運動量測定において中心的な役割を果たす。衝突中心からビーム軸方向に約  $\pm 1$  m、方位角方向に対して  $2\pi$  の範囲を覆う（図 2.6）。

## 2.4 INTermediate Tracking detector (INTT)

INTermediate Tracking detector (INTT) [TDR (2019)] は、sPHENIX 検出器において MVTX と TPC の間に位置するストリップ型シリコン検出器である。INTT の外観を図 2.7 に示す。INTT ラダーは 2 つのシリコンモジュールから構成されており、シリコンモジュールはシリコンストリップセンサー、FPHX、HDI、Bus Extender、Conversion Cable から構成されている（図 2.8）。図 2.9 のようにシリコンセンサーと FPHX を HDI 上に配置する。INTT は図 2.10 に示すように 2 層構造のバレル型で、内側の層を 1a, 1b、外側の層を 2a, 2b と呼ぶ。各ラダーの数とビーム軸からの距離を表 2.1 にまとめる。衝突中心からビーム軸方向に  $\pm 23$  cm、方位角方向に対して  $2\pi$  の範囲を覆う。各ラダーの中央に見える白丸は冷却チューブを示す。各シリコンモジュールには Stave と呼ばれる機能的サポートが取り付けられている。シリコンセンサーは熱に弱いため、全ての Stave に冷却システムを搭載する。Stave は図 2.11 のように設計され、Cooling Barb と Carbon Fiber Composite (CFC) Tube から水を通し冷却を行う。Stave の全体の厚みは 3.43 mm である。INTT は MVTX と TPC での飛跡を繋ぎ、運動量分解能を

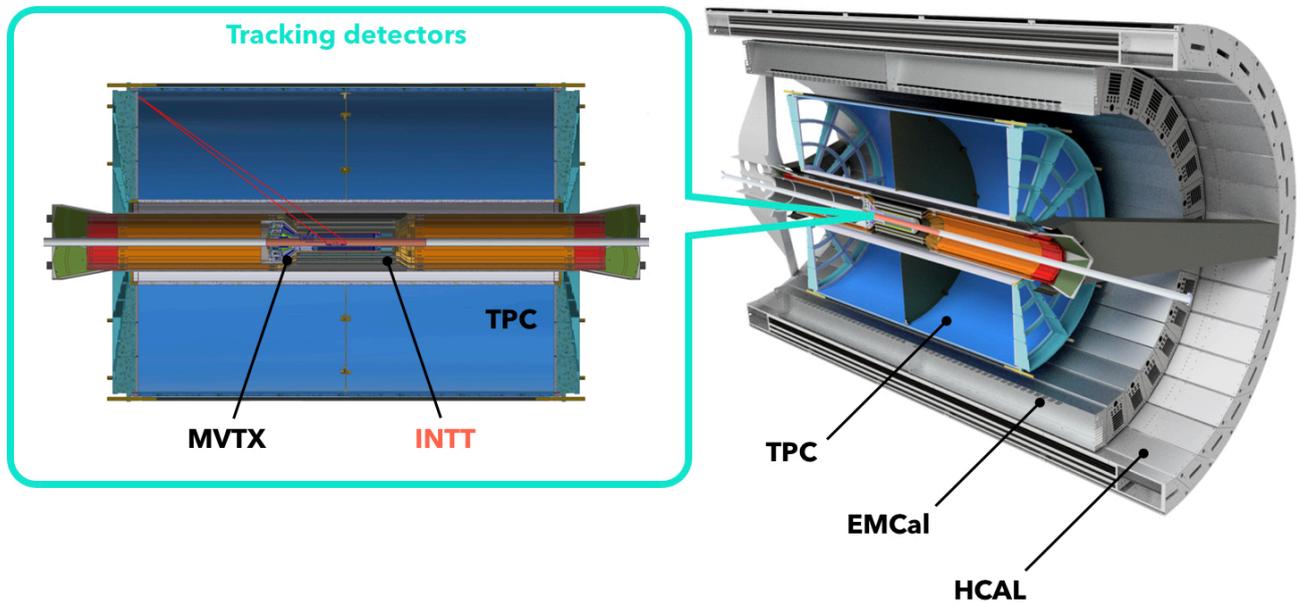


図 2.4 sPHENIX における検出器群

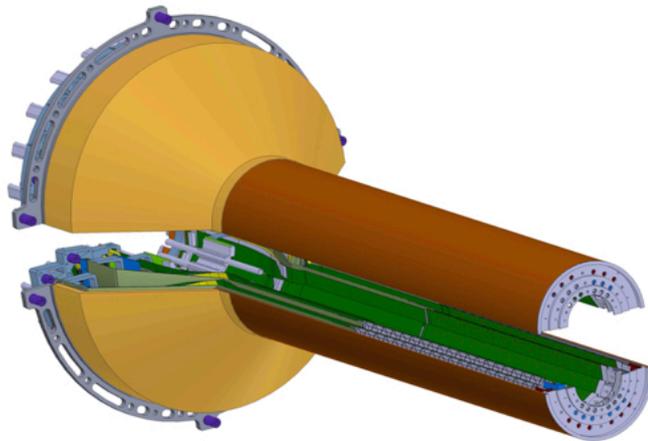


図 2.5 MVTX

げるとともに、各トラックに 1 ビームバンチ以下の時間情報を与える役割を果たす。つまり、例えば粒子多重度の高いイベントにおいて、INTT によって再構成されたトラックと MVTX, TPC のトラックとのマッチングを調べることで、より確からしいトラックを選択することができる。

#### 2.4.1 sPHENIX-INTT におけるデータ読み出しシステム

sPHENIX 実験における INTT 検出器のデータ読み出しシステムを図 2.12 に示す。sPHENIX で用いられるデータ読み出しシステムは PHENIX で使用したものを再利用する。sPHENIX 実験は複数のサブシステムから成るためデータ量が膨大になるが、各サブシステムのデータが sPHENIX のデータとして読み出されなければならない。そのために、sPHENIX の DAQ (Data Acquisition) システムに全サブシステムで共通の同期信号が RHIC か

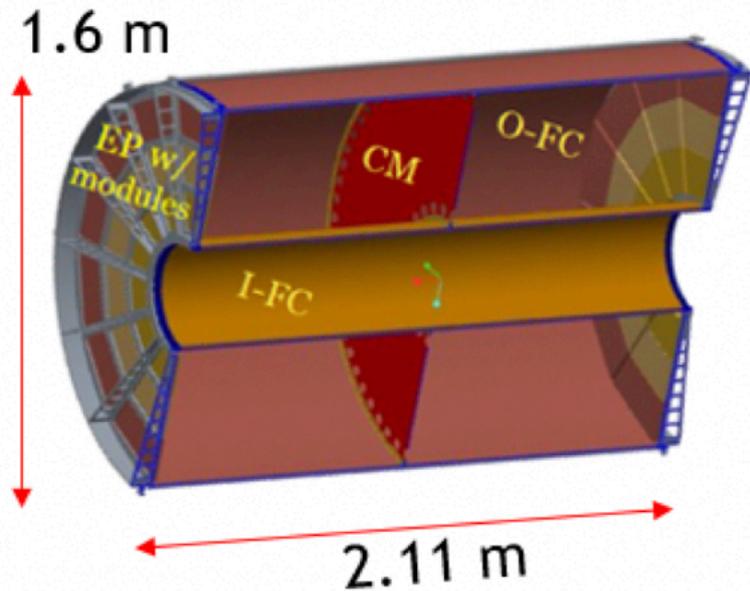


図 2.6 TPC

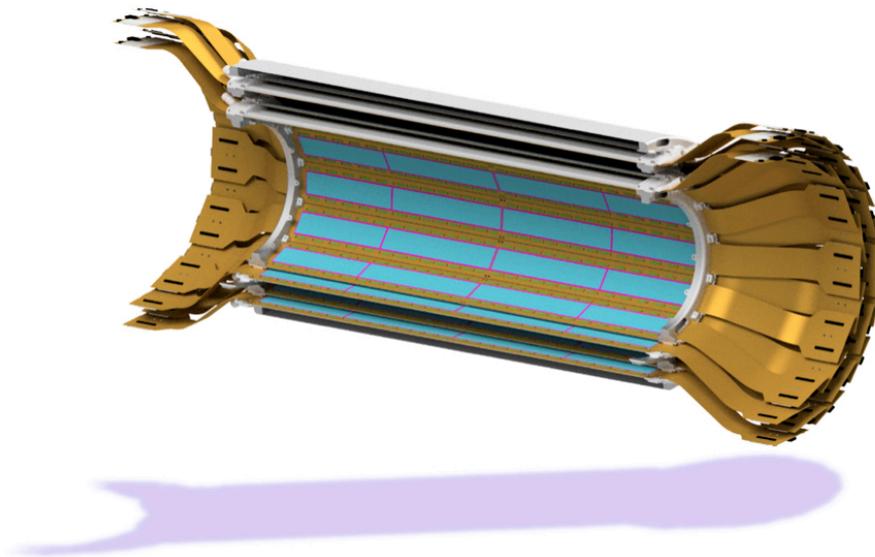


図 2.7 INTT

ら供給されている。この同期信号を Beam Clock (BCO) といい、その頻度は 9.4 MHz (106 ns) である。BCO は MTM (Master Timing Module) と呼ばれるタイミング統括回路、GTM (Granule Timing Module) と呼ばれるサブシステム用同期回路を介して INTT, MVTX, TPC などの各サブシステムに供給される。また、各サブシステムもそれぞれ独立にトリガー (Level0 Trigger) を発行し、sPHENIX の GL1 (Global Level1) と呼ばれるトリガー統括回路へ送る。GL1 では、各サブシステムからのトリガーに応じた間引きが行われ、データ収集判断のためのトリガー (Level1 Trigger) を発行する。Level1 Trigger は、MTM, GTM を介して各サブシステムの FEM (Front End Module) へ返される。この Level1 Trigger を受け取ったタイミングでの INTT シリコンモジュールから送られたデータが、DCM (Data Collection Module) と呼ばれるデータ収集回路へ送られ、バッファの後各サブシステムの

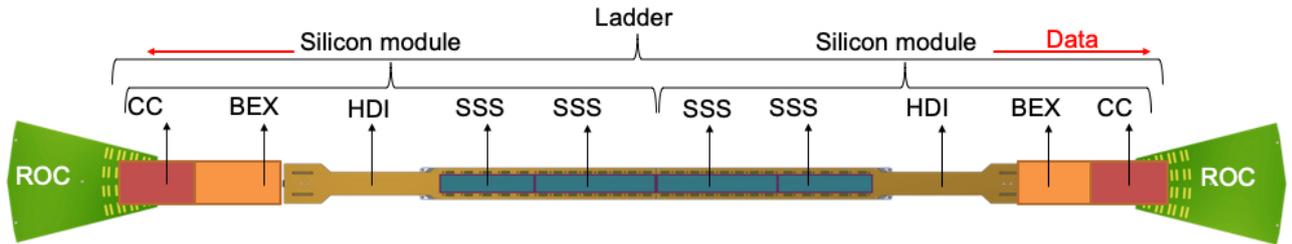


図 2.8 INTT ラダー

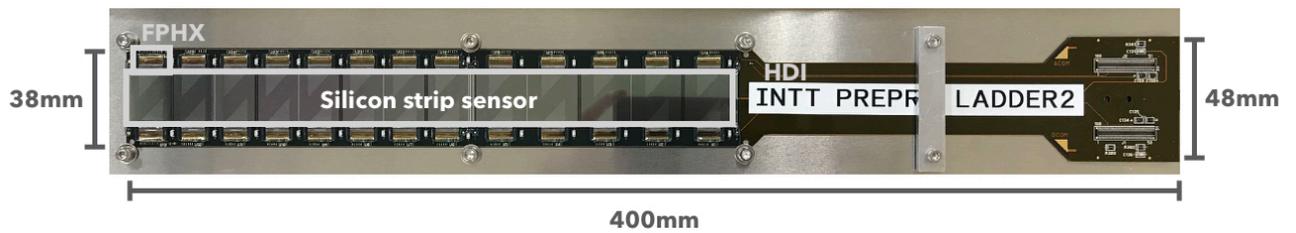


図 2.9 INTT シリコンモジュール

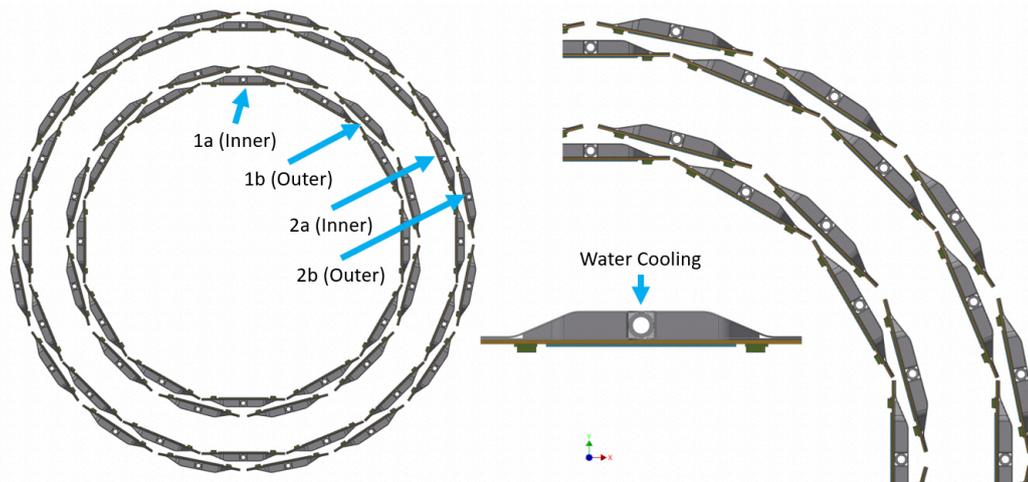


図 2.10 (左) INTT のビーム軸方向からの図。(右) ラダーの並べ方

イベント情報が統合されたデータとして出力される。[長島 (2015)]

INTT シリコンモジュールと各読み出しモジュールについて以下で説明する。

### 2.4.2 シリコンストリップセンサー

図 2.13 に示すように使用するシリコンセンサーは、 $16\text{mm} \times 9.984\text{mm}$  (Type-A) と  $20\text{mm} \times 9.984\text{mm}$  (Type-B) の 2 種類のシリコンセルで構成される。シリコンセンサーは  $8 \times 2$  の Type-A シリコンセルと  $5 \times 2$  の Type-B シリコンセルに分けられる。各シリコンセルは  $\phi$  方向に 128 ストリップに分かれており、各ストリップ幅は  $78\ \mu\text{m}$  である。シリコンセンサー全体のサイズは、 $232.2\text{mm} \times 22.5\text{mm} \times 0.32\text{mm}$  である。

表 2.1 バレル構造における各層でのラダーの数とビーム軸からの距離

Layer	Number of ladders	Distance from beam pipe (mm)
1a	12	71.88
1b	12	77.32
2a	16	96.80
2b	16	102.62

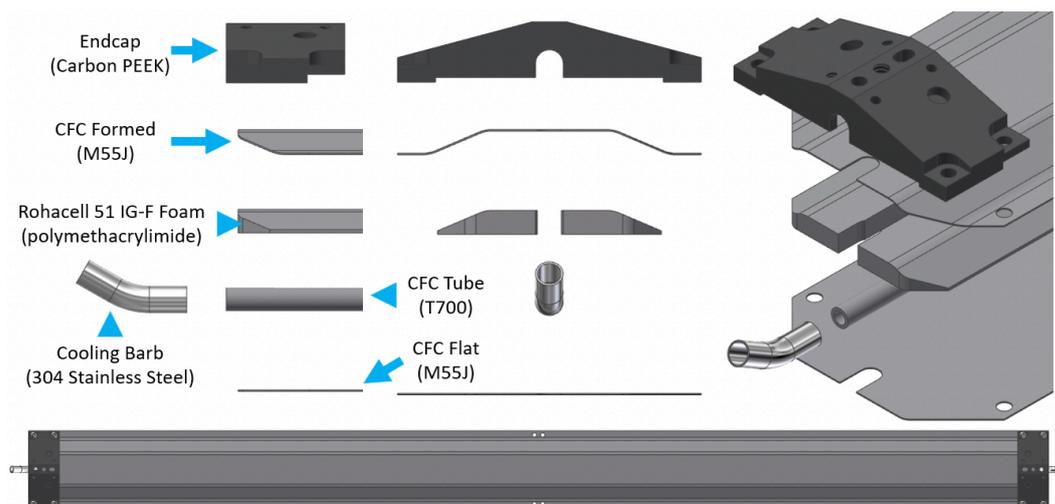


図 2.11 Stave の冷却システム

### 2.4.3 FPHX chip

FPHX chip[Tom (2009)] は、PHENIX 実験の FVTX で使用された既存読み出しチップである。INTT では、1 シリコンモジュールあたり 26 個搭載されており、1 チップあたり 128 の読み出しチャンネルを持つ。各チャンネルにおいて波形整形を行い、3 bit の ADC を出力する。ADC の閾値は 8 bit の DAC で設定できる。このときの電圧変換は  $V [\text{mV}] = 210 + 4 \times \text{DAC}$  とする。入出力は LVDS 信号で行われ、通信速度は入力に 10 Mbps、出力に 200 Mbps である。外部からプリアンプの増幅率や LVDS 電流値、ADC 閾値、各チャンネルのマスクなどを制御することができる。1 チップからの出力データ構成は図 2.14 のようになっており、1 データは ADC、ヒットチャンネル、時間情報を含む 20 bit で構成されている。HDI とは図 2.15 のようにワイヤーボンディングで接続している。

### 2.4.4 High Density Interconnect (HDI)

High Density Interconnect (HDI) は、入出力配線と電源供給を行う基板である。FPC (Flexible Printed Circuits) と呼ばれる柔軟性の高い薄い基板で作られている。基本的な構造は、図 2.16 に示すように、PHENIX 実験で使用された FVTX 検出器と同じ 7 層の銅とポリイミドと接着剤から構成される。全厚みは  $493 \mu\text{m}$  である。

### 2.4.5 Bus Extender

Bus Extender は、HDI と ROC を繋ぐデータ伝送ケーブルである。図 2.17 (左) に示すように HDI と ROC を繋ぐには長さが少なくとも 1.2 m は必要になる。さらに、図 2.17 (右) の限られたスペースに収められるよう厚み

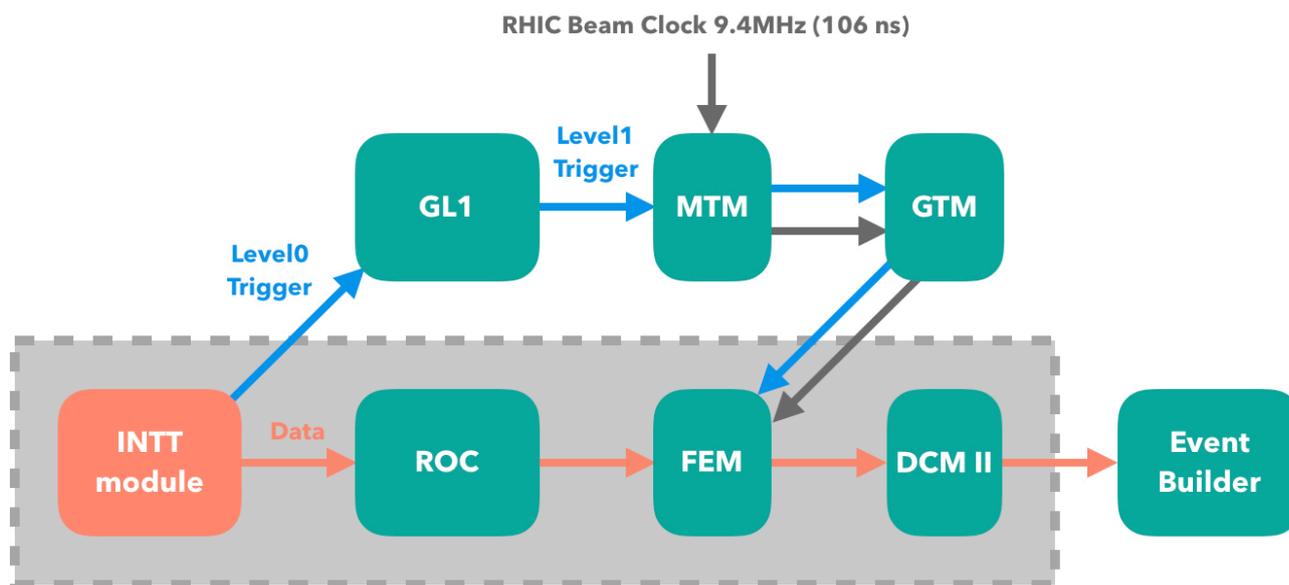


図 2.12 sPHENIX 実験での INTT のデータ読み出しシステム

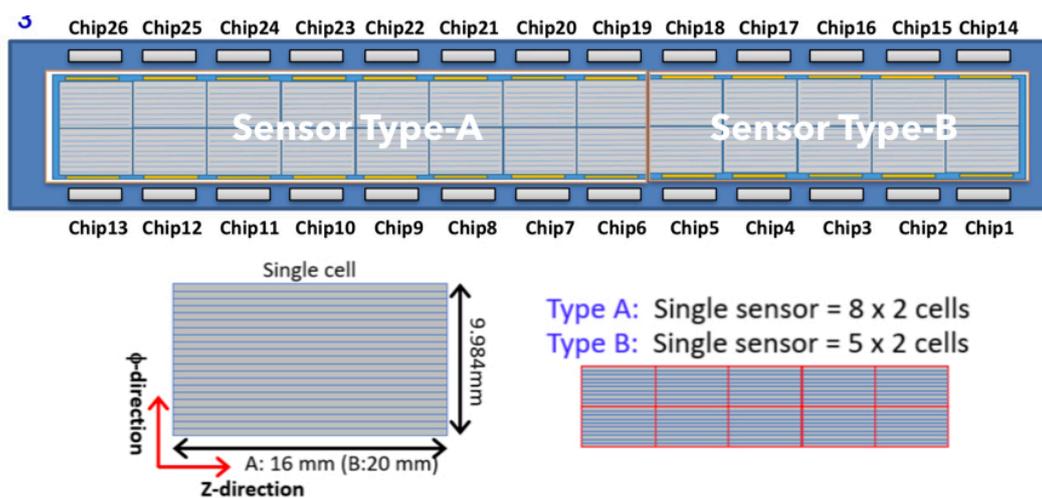


図 2.13 シリコンセンサー Type-A と Type-B のシリコンセルサイズとその数

を抑えた柔軟性の高い素材が必要である。そのため、HDI 同様 FPC で作成している。

#### 2.4.6 Conversion Cable

Conversion Cable は、HDI と ROC で異なるコネクタを整合するためのケーブルで、Bus Extender と同様データ伝送に使用される。図 2.18 に示すように、長さが 20 cm と 40 cm の 2 種類あり、実際の実験では 20 cm の Conversion Cable と Bus Extender を併用して使用する。40 cm の Conversion Cable は 20 cm では届かないビームテスト実験などで使用される。

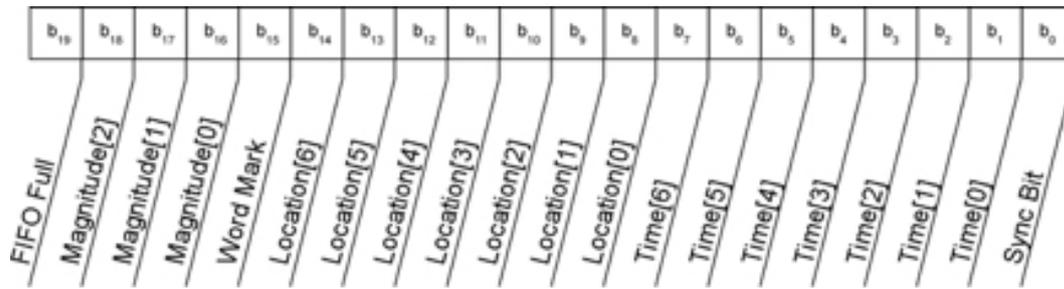


図 2.14 FPHX から出力されるデータ構成

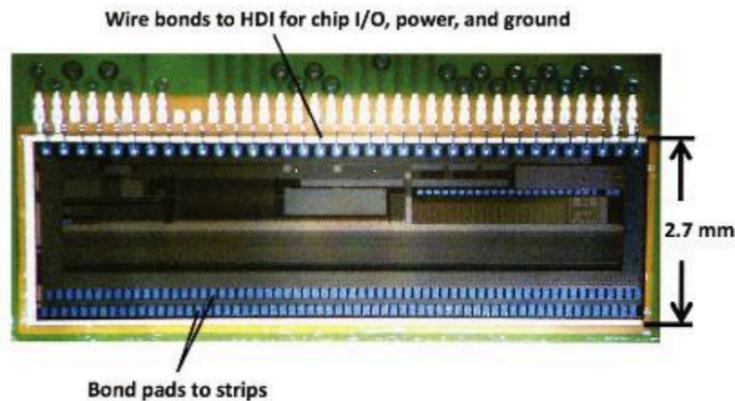


図 2.15 HDI に実装された FPHX chip

### 2.4.7 Read Out Card (ROC)

Read Out Card (ROC) は、複数のモジュールからのデータを整理し次の読み出し回路に転送する読み出し基板である (図 2.19)。ROC1 枚あたり 16 個のシリコンモジュール、416 個の FPHX からの出力を取り扱うことが可能である。ROC 上にはデータ処理用 FPGA (Actel 社製 ProASIC3E) が 4 つ搭載されており、各 FPGA は 4 つ分のシリコンモジュールからのデータを整形する。ROC から 4 つの光ファイバーが出ていることにより、高速の処理を扱うため、動作中の FPGA は高温になる。このため適切な冷却が必要である。

### 2.4.8 Front End Module (FEM)

Front End Module (FEM) は、VME 規格の読み出し基板で、ROC から送られたデータをまとめ PHENIX 検出器で共通のフォーマットに変換する。FEM1 枚あたり ROC の出力の光ファイバー 2 本分 (ROC の半分) を担うため、ROC1 枚の全データを送るには FEM が 2 枚必要になる。ただし、ROC への命令信号である Slow Control は FEM1 枚で賅うことができる。データ処理用 FPGA は Xilinx 社製 Vertex-4 が搭載されており、特にテストベンチ実験ではトリガーモードを変える際にこの FPGA の書き換えが必要である。

### 2.4.9 FEM - Interface Board (FEM-IB)

FEM - Interface Board (FEM-IB) は、FEM を制御するために使われる。主に検出器全体を統括するクロック信号およびトリガー信号、FEM 制御信号を受け取る。FEM 同様 VME 規格のボードで、図 2.20 のように通常 FEM

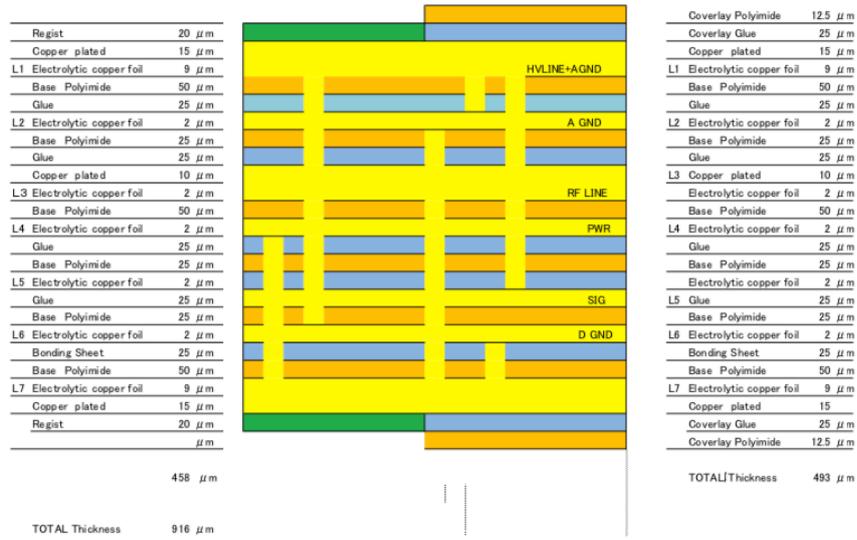


図 2.16 HDI の断面図

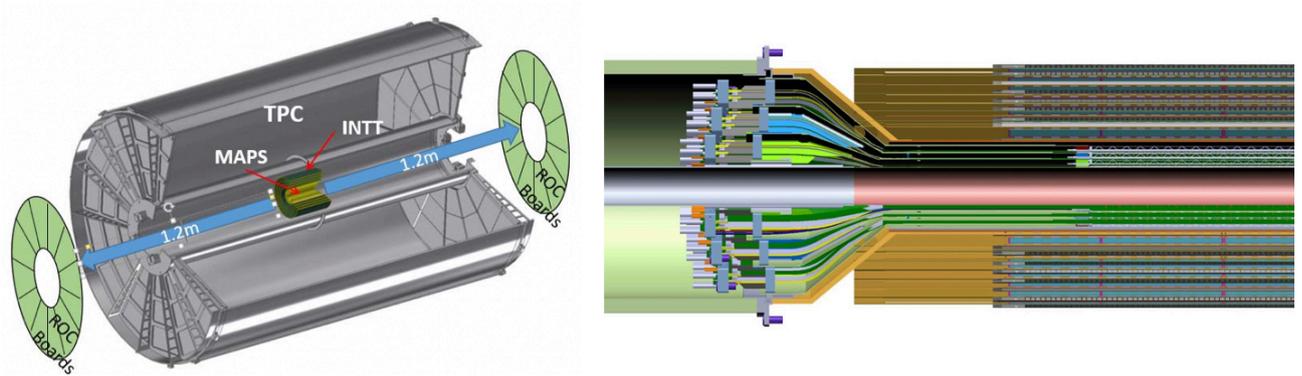


図 2.17 (左) HDI と ROC 間の距離 (右) MVTX との間にある限られたスペース

と同じ VME クレートに挿して使用する。

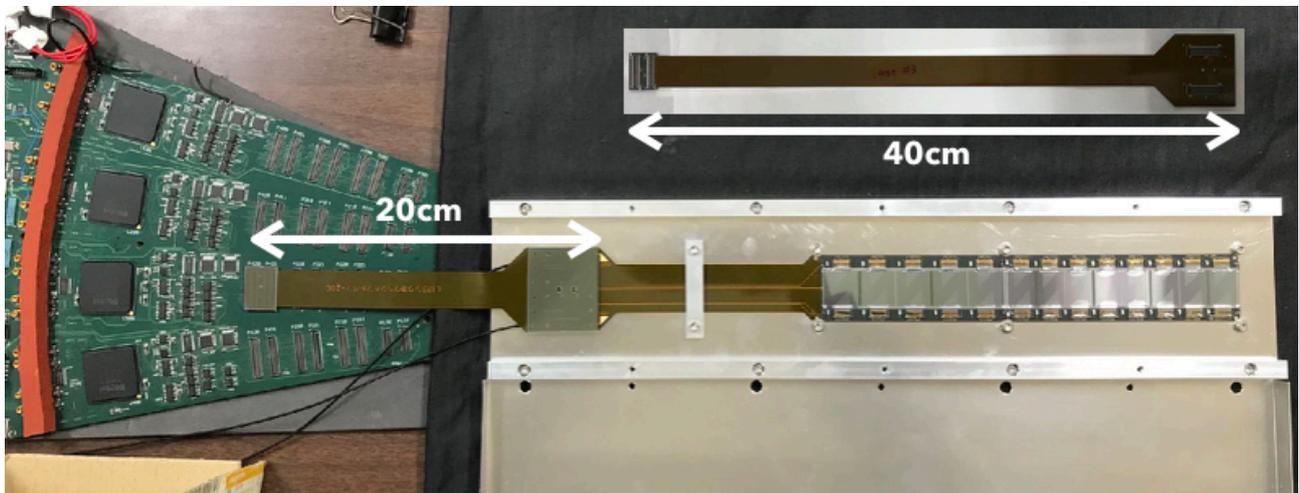


図 2.18 ROC と HDI のコネクタ変換ケーブル

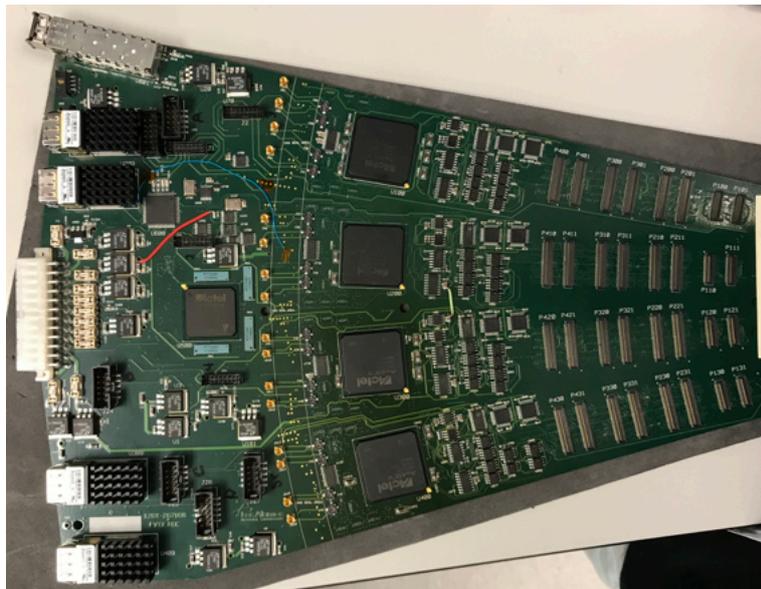


図 2.19 ROC

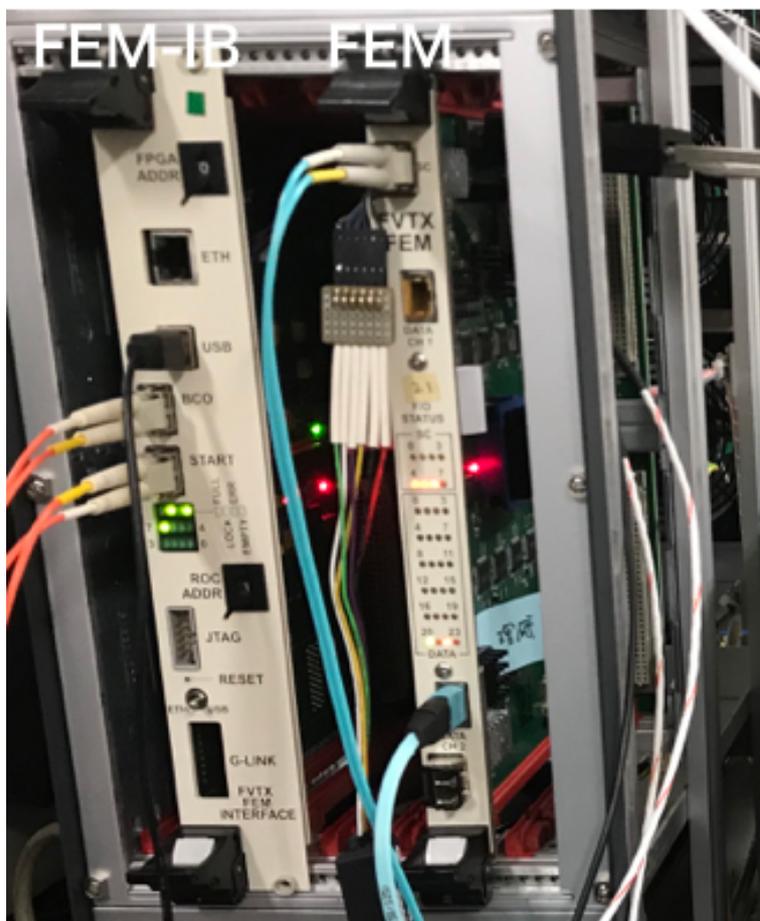


图 2.20 (左) FEM-IB, (右) FEM

## 第 3 章

# テストベンチでの INTT シリコンモジュールの動作確認

INTT 検出器の性能評価や読み出しシステムの動作確認を行うため、2018 年に奈良女子大学にテストベンチを構築した。図 3.1 にテストベンチの全体を示す。このテストベンチでは、主にテストパルスを用いたキャリブレーションテストと外部トリガーを用いた宇宙線測定を行っている。



図 3.1 INTT テストベンチの様子

### 3.1 キャリブレーションテスト

テストベンチ全体の動作確認を行うためテストパルスを用いたキャリブレーションテストを行う。キャリブレーションテストでのセットアップの様子を図 3.2 に示す。ノイズを減らすため、シリコンセンサーに 100 V の逆バイアス電圧をかける。ROC から HDI を介して送られたテストパルス（アナログ信号）を FPHX でデジタル信号に変換し、再び HDI を介して ROC へ送られる。ROC へ送られた信号は FEM を通り PC でデータとして出力される。ROC から送るテストパルスは各 FPHX チップの各チャンネルに 10 個入力している。キャリブレーションテスト

での DAC 閾値は表 3.1 に示すように一定の間隔で設定している。ここでは入力テストパルスの波高を **amplitude** と呼ぶ。



図 3.2 テストベンチにおけるキャリブレーションモードでの読み出しの流れ

表 3.1 キャリブレーションテストでの DAC 閾値設定

ADC	DAC value	Threshold [mV]
0	20	290
1	25	310
2	30	330
3	35	350
4	40	370
5	45	390
6	50	410
7	55	430

### 3.2 キャリブレーションテスト結果

図 3.3(左) は、1 チップでの入力 **amplitude** と出力 ADC の相関関係であり、ヒストグラムの形はヒット数を示している。この図より、chip 1 での入力 **amplitude** と出力 ADC には DAC 設定に基づいた比例関係があることがわかる。図 3.4 は chip 1~26 の全チップでの相関分布であり、上段が左から右に chip 26~14、下段が左から右に chip 13~1 を示している。この図より、全チップでこのような比例相関関係が確認できることから正常に動作していると言える。図 3.3(右) は、1 チップでの入力 **amplitude** とチャンネルヒット位置の相関分布であり、色はヒット数を示している。この結果から DAC0 閾値付近でのヒット数は徐々に増えていき、ある閾値を超えると常に同じヒット数であることがわかる。図 3.5 は、上段が左から右に chip 26~14、下段が左から右に chip 13~1 を示しており、全チップ全チャンネルで同等のヒット数が確認できるので正常に動作していると言える。図 3.6 は 1 チップ 1 チャンネルにおける入力波高に対するヒット数分布である。**amplitude** から [mV] への変換は式 3.1 より行う。図 3.5 の閾値付近に見られる色の変化部分の幅が、図 3.6 の入力から出力への立ち上がりの  $\sigma$  に対応する。立ち上がりが緩いと、信号に依存したノイズが多いと考えられるのでこの幅は狭ければ狭いほど良い。[呉羽]

$$\text{Pulse height [mV]} = 2.81 \times \text{amplitude} \quad (3.1)$$

### 3.3 外部トリガーモードによる宇宙線測定

テストベンチで INTT シリコンモジュールの性能評価を行うために、宇宙線のエネルギー損失測定を行う。シリコンセンサー自身をトリガーとする方法で宇宙線を測定するとノイズが非常に多く、宇宙線由来の信号を識別する

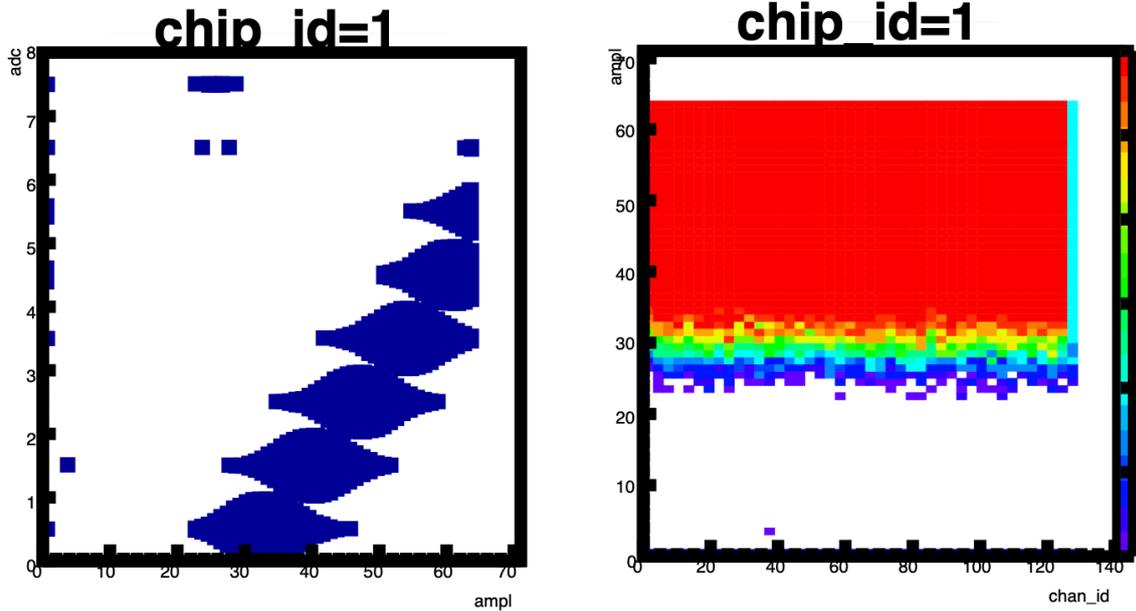


図 3.3 (左) chip 1 でのテストパルスを入力波高と出力 ADC の相関分布。横軸：入力波高 (amplitude)、縦軸：出力 ADC。(右) chip 1 での全チャンネルでのテストパルスのヒット数分布。横軸：チャンネル、縦軸：入力波高 (amplitude)

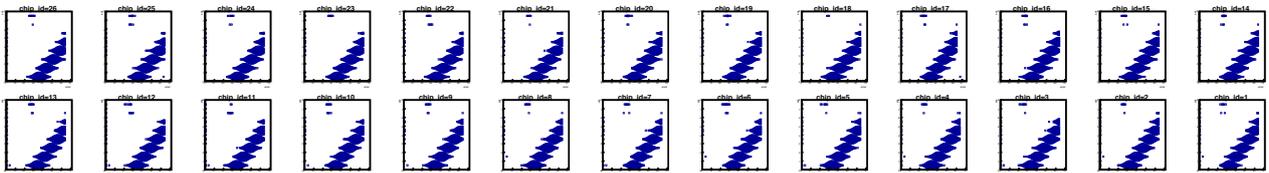


図 3.4 各チップでのテストパルスを入力波高と出力 ADC の相関分布。横軸：入力波高 (amplitude)、縦軸：出力 ADC

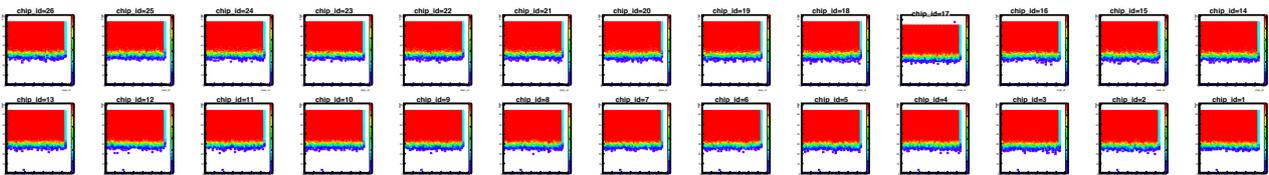


図 3.5 各チップの全チャンネルでのテストパルスのヒット数分布。横軸：チャンネル、縦軸：入力波高 (amplitude)

ことが難しい。そのため、シンチレーションカウンタを外部トリガーとして、シンチレーションカウンタとシリコンセンサーのコインシデンスをとる。そうすることで、ノイズを減らし宇宙線由来の信号を得られると考えた。今回は図 3.7 のようにシリコンセンサーを 2 つのシンチレーションカウンタ A, B で挟むように設置し、A と B の距離は 6 cm とする。シンチレーションカウンタの反応面のサイズは、A が 24 mm × 230 mm、B が 20 mm × 30 mm なので、2 つを重ねておくと反応する面積は 6 cm<sup>2</sup> となる。

2 つのシンチレーションカウンタからの信号は、Discriminator でそれぞれデジタル信号に変換され、コインシデンスモジュールで同じタイミングでの各信号を 1 つの信号として Gate Generator へ送られる。シリコンモジュールの FPHX から FEM までデータを送るのに 2.62 μs かかる [長島 (2015)] ため、そのタイミングに合うように Gate Generator でシンチレーションカウンタからの信号を 2.62 μs 遅らせる。また、シリコンセンサー自身が発行

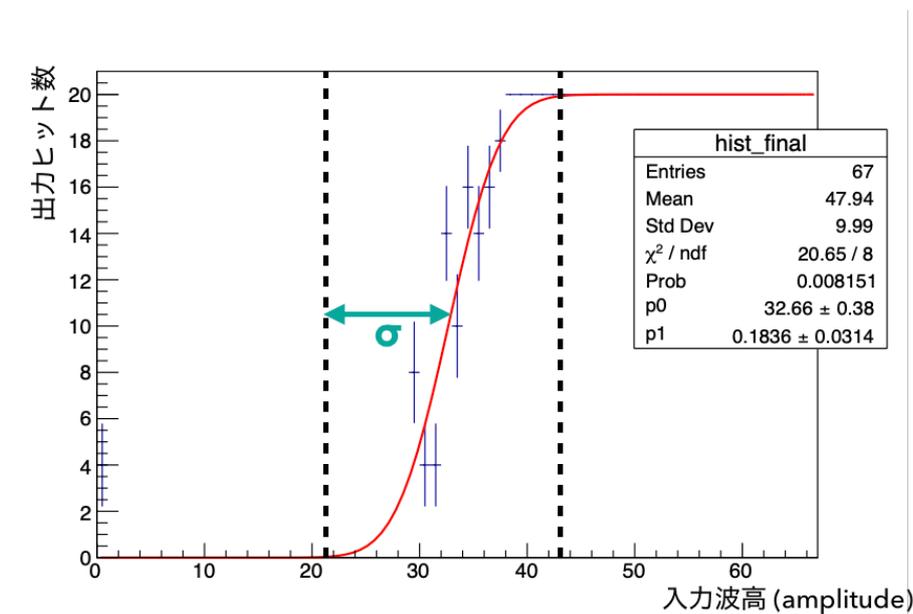


図 3.6 1 チップ 1 チャンネルでの入力波高に対する出力ヒット数分布。横軸：入力波高、縦軸：出力ヒット数

するトリガー信号の時間幅が取まるようにシンチレーションカウンタからの信号の時間幅を 500 ns ほどに広げる。その後、FEM の規格に合うように Level Adapter で NIM 信号を TTL 信号に変換する。これをシンチレーションカウンタが発行するトリガー信号とする。シリコンセンサーとシンチレーションカウンタからのそれぞれ独立したトリガー信号が FEM に送られ、同じタイミングで両方のトリガー信号がきたとき、FEM から PC ヘデータが送られる。以上が外部トリガーによるデータ読み出しの流れである。

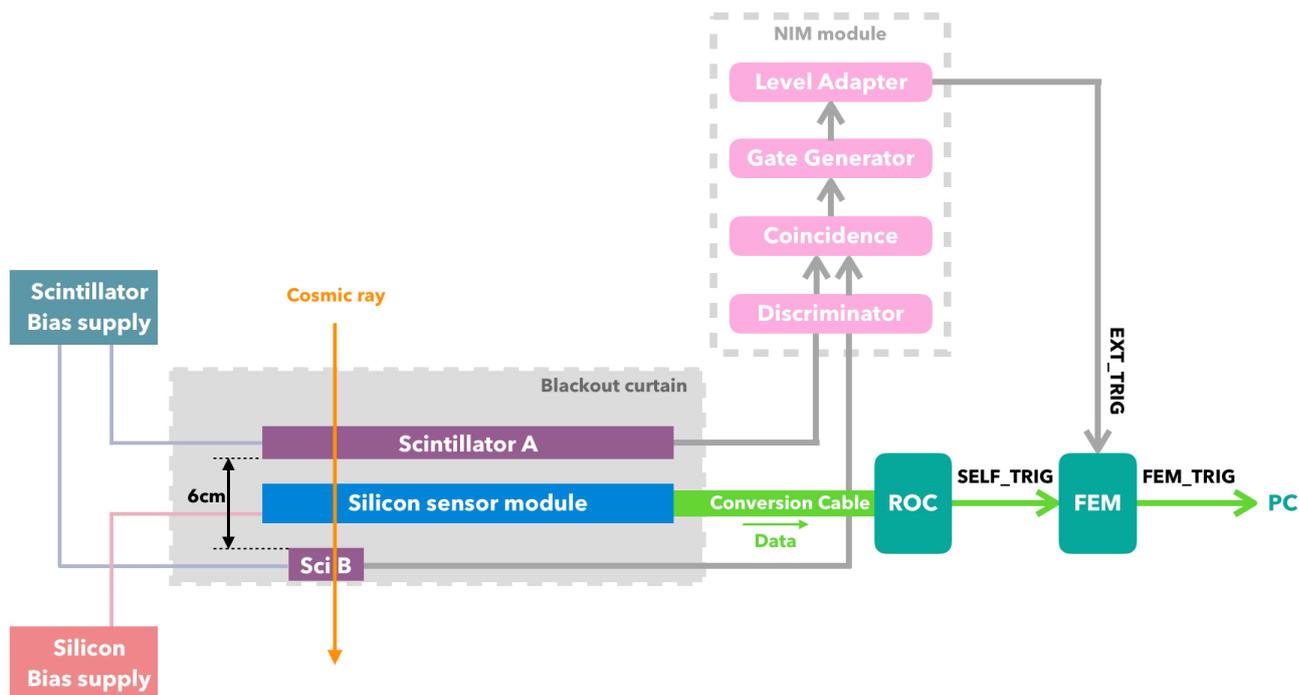


図 3.7 外部トリガーを用いた宇宙線測定セットアップ

図 3.8 にオシロスコープで観測したシリコンセンサーとシンチレーションカウンタからのトリガー信号と両方のコインシデンスをとった信号の波形を示す。黄色がシンチレーションカウンタからのアナログ信号で、マゼンタ色が TTL 信号に変換後のシンチレーションカウンタのトリガー信号、緑色がシリコンセンサー自身のトリガー信号、青色が両方のトリガー信号のコインシデンスをとった FEM から出力されるトリガー信号を表す。



図 3.8 外部トリガーモードのオシロスコープ観測画面。黄色：シンチレーションカウンタからのアナログ信号、マゼンタ色：TTL 信号に変換後のシンチレーションカウンタのトリガー信号、緑色：シリコンセンサー自身のトリガー信号、青色：両方のトリガー信号のコインシデンスをとった FEM から出力されるトリガー信号

### 3.3.1 宇宙線がシリコン中を通過する際に失うエネルギー

320  $\mu\text{m}$  厚のシリコン中で  $\mu$  粒子のような荷電粒子が失うエネルギーはベータ・プロッホの式より表され、このような荷電粒子を Minimum Ionizing Particle (MIP) と呼ぶ [PDG (2019)]。図 3.9 より、1GeV の  $\mu$  粒子でのエネルギー損失は約  $1.15 [\text{MeV}/\text{g} \cdot \text{cm}^{-2}]$  であるので、単位体積あたりのシリコン中で MIP が失うエネルギーは、シリコン密度  $2.33 [\text{g}/\text{cm}^3]$  より

$$E [\text{MeV}] = 1.15 [\text{MeV}/\text{g} \cdot \text{cm}^{-2}] \times 0.032 [\text{cm}] \times 2.33 [\text{g}/\text{cm}^3] = 0.0857 [\text{MeV}] \quad (3.2)$$

よって、1 ストリップを通過するときに生成される電子正孔対の数は、シリコン中で 1 つの電子正孔対生成に必要なエネルギー  $3.62 [\text{eV}]$  より

$$N_e = \frac{E [\text{MeV}]}{3.62 [\text{eV}/\text{eh 対}]} = \frac{0.0857 \times 10^6 [\text{eV}]}{3.62 [\text{eV}/\text{eh 対}]} = 23670 \text{ 個} \quad (3.3)$$

これを電荷素量  $1.6 \times 10^{-19} [\text{C}]$  を用いて電荷に変換すると、

$$C [\text{fC}] = N_e \times 1.6 \times 10^{-19} [\text{C}] = 23670 \times 1.6 \times 10^{-19} [\text{C}] = 3.79 [\text{fC}] \quad (3.4)$$

FPHX での増幅率  $300 [\text{mV}/\text{fC}]$  より、出力波高は

$$\text{Pulse height} [\text{mV}] = 300 [\text{mV}/\text{fC}] \times C [\text{fC}] = 300 [\text{mV}/\text{fC}] \times 3.79 [\text{fC}] \sim 1100 [\text{mV}] \quad (3.5)$$

したがって、1 ストリップのシリコン ( $320 \mu\text{m}$  厚) で失う MIP のエネルギーは、約  $1100 \text{ mV}$  の信号として出力されると予想される。これは陽子の場合でもほとんど同じ値になるので、次章以降の陽子ビームを用いたビームテス

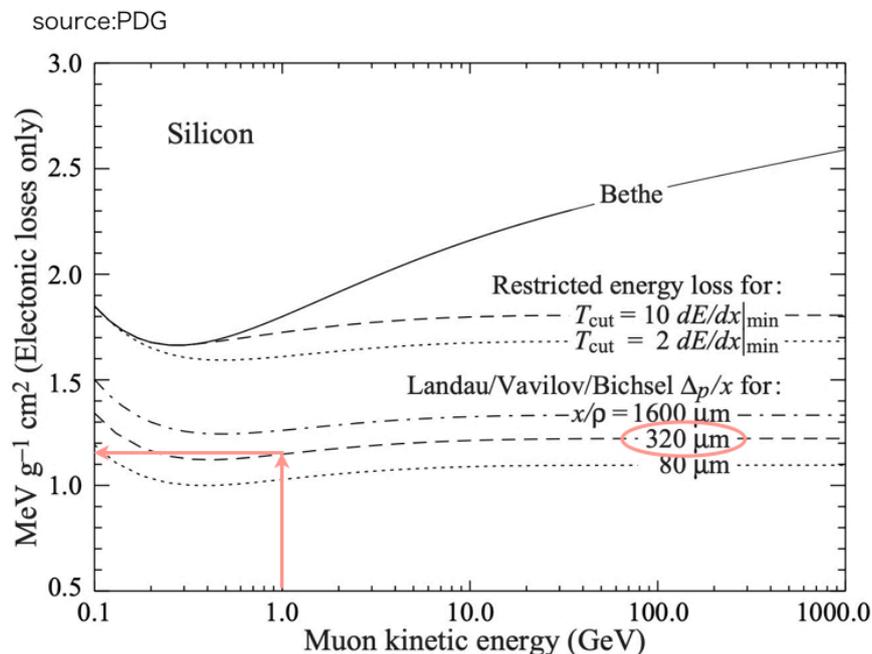


図 3.9 シリコン中で失うエネルギー [PDG (2019)]

ト実験の結果でもこの値を使用する。また、FPHX でのオフセットが 210 [mV] あることを踏まえ、電圧値と DAC 値の変換関係は以下のように表される。

$$\text{Threshold [mV]} = 210 \text{ [mV]} + 4 \text{ [mV]} \times \text{DAC}_{\text{value}} \quad (3.6)$$

さらに、隣り合う 2 ストリップに入射した場合電荷がシェアされるため、それぞれのストリップでは信号が小さくなると考えられる。以上より、連続した複数のストリップにヒットがある場合を考慮し、表 3.2 のように各 DAC を設定している [益田 (2017)]。

表 3.2 DAC 設定

ADC	DAC value	Threshold [mV]	number of strips
0	15	270	
1	23	302	for triple strips
2	60	450	for double strips
3	98	602	
4	135	750	
5	173	902	for single strip
6	210	1050	
7	248	1202	

### 3.4 宇宙線測定結果

宇宙線測定データの測定時間は 208.5 時間で、全エントリー数は 35671 エントリーである。ノイズと思われるヒットはカットし、同じタイミングで複数ヒットがあった場合は隣同士のストリップであれば 1 クラスターとみな

す [柴田 (2019)]. 1 イベントに 1 ヒットのときをシングルヒット、隣同士のストリップに 2 ヒットあるときをダブルヒットとし、それぞれのエネルギー損失分布を図 3.10 に示す。この図より、シングルヒットでのエネルギー損失は 450 ~ 600 mV、ダブルヒットでのエネルギー損失は 750 ~ 900 mV であることがわかった。これは前節で予想した MIP のエネルギー損失より約 1/2 低い。この原因として、FPHX で設定する増幅率が予想していた値より低いことが考えられる。つまり、今までの経験から外部から設定できる増幅値は 300 [mV/fC] であると思っていたが、実際は 100 [mV/fC] であったのではないかと考えられる。それに加え、各信号にオフセットが足されている可能性が考えられる。これは図 3.10 のシングルヒットとダブルヒットのピークの位置が異なることから確認できる。つまり、ダブルヒットのときは各ヒットにオフセットが足されるため、シングルヒットの 2 倍のオフセットが足されることになる。増幅率を 100 [mV/fC] とオフセットを  $200 \pm 10$  [mV] 足すとすると、期待される値が

$$\text{Pulse height [mV]} = 100 \text{ [mV/fC]} \times 3.68 \text{ [fC]} + 200 \pm 10 \text{ [mV]} = 570 \pm 10 \text{ [mV]} \quad (3.7)$$

となるため、辻褄が合うと言える。

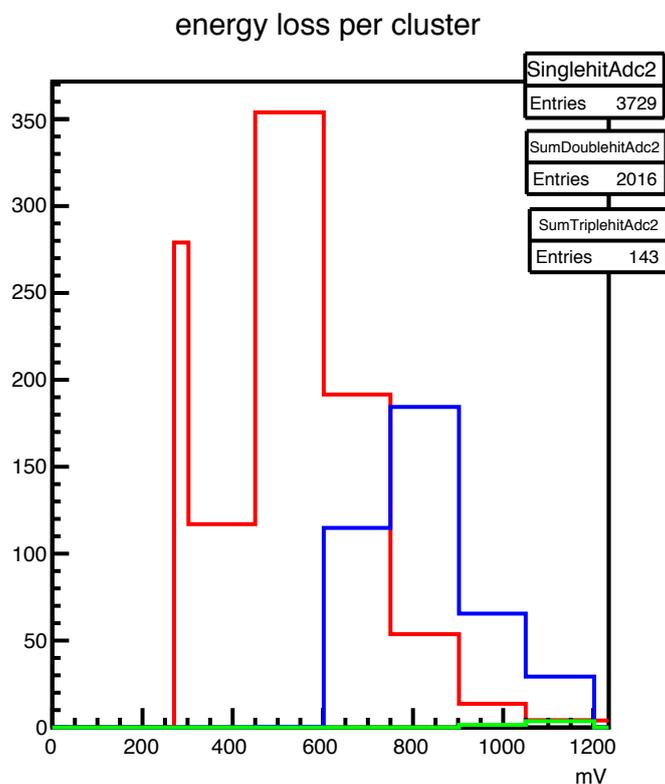


図 3.10 宇宙線測定でのエネルギー損失分布。赤色：シングルヒット、青色：ダブルヒット

## 第 4 章

# ビームテスト実験

2019 年 6 月に米国フェルミ国立加速器研究所 (FNAL) で、INTT シリコンモジュールの性能を評価するため 120 GeV の陽子ビームを使ったテスト実験を行い、得られたデータを解析した。今回のビームテスト実験の目的はシリコンモジュールの性能を評価することであり、性能評価項目として検出効率の測定、MIP エネルギー損失の測定、Bus Extender によるデータ伝送の確認を行った。ここではそれらの結果について記述する。図 4.1 にビームテスト実験の様子を示す。ビームは左側から中央の箱の銀幕の部分に向かって垂直に入射する。中央の黄色点線で囲まれた箱の中に INTT シリコンモジュールを 4 つ図 4.2 のように平行に配置する。図中の矢印の向きにビームが入射する。また、図 4.2 のチューブからエチレングリコールを通しシリコンセンサーの冷却を行っている。



図 4.1 フェルミ研究所内にあるビームテスト施設内のコントロールエリア

### 4.1 セットアップ

ビームテスト実験のセットアップを図 4.3 に示す。箱の中の 4 つのシリコンモジュールをそれぞれ 35 mm 間隔で配置している。これらの 3 つのシリコンモジュールを、ビーム上流から L0, L1, L2 とする。さらに箱の側面 (ビーム軸方向に垂直な面) にシンチレーションカウンタを 2 つ置き、これらをトリガーとしている。ビーム上流側をシンチレーションカウンタ A、下流側をシンチレーションカウンタ B とし、A は L0 から約 155 mm、B は L2 から約 60 mm 離れている。2 つのシンチレーションカウンタのサイズは、シリコンセンサーをぴったり覆うサイズの 232.2 mm × 22.5 mm × 5 mm である。それぞれのシリコンモジュールにかけたバイアス電圧と暗電流の電流値の関係を表 4.1 に示す。シンチレーションカウンタの光電子増倍管にはどちらも -1kV のバイアス電圧をかけている。

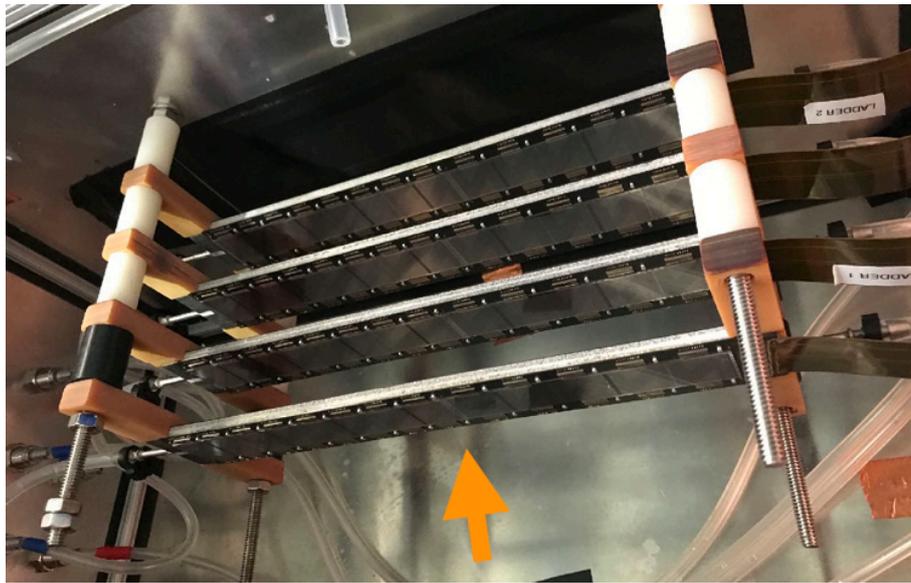


図 4.2 箱の中のシリコンモジュール配置図

表 4.1 シリコンモジュールの電圧と電流

Layer	Voltage (V)	Currents ( $\mu\text{A}$ )
0	100	0.07
1	80	75.7
2	100	0.68

## 4.2 データセット

今回のビームテストでは全部でおよそ 130 の Run データを得た (表 4.2)。付録 A に各 Run での測定条件をまとめた Excel シートを載せている。そのうち Run 580 までが DAC 設定をスキャンすることで MIP ピークの測定を目的としたデータで、Run 625 からは Bus Extender ありでのデータである。まず、基準として DAC 設定が一定かつ Bus Extender なしでの Run での検出効率を求めるため、Run 615 でのデータ解析を行った。Run 615 の全エントリー数は 527035 エントリーである。

表 4.2 データリスト

Run	Dataset
535 - 580	DAC scan data
581 - 624	w/o Bus Extender
625 - 663	w/ Bus Extender

### 4.2.1 ヒットチャンネル分布

Run 615 での全層 (L0, L1, L2 全て) の各チップでのチャンネル分布を図 4.4 に示す。図 4.4 の各分布は各層での chip 1~26 の各チップのヒットチャンネル分布である。chip 番号の並びは L0 の各分布の上にかかれている数字

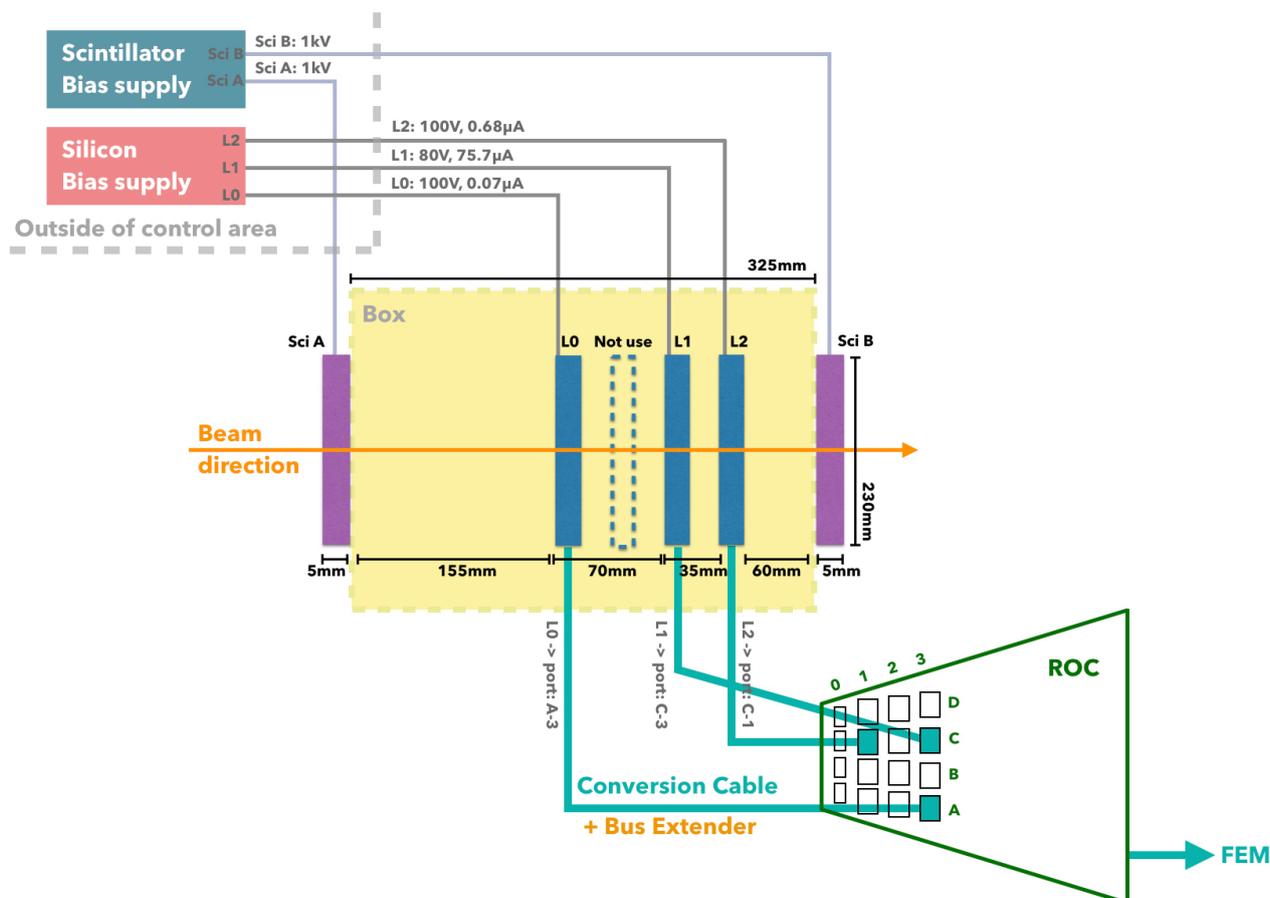


図 4.3 ビームテストでのシリコンモジュールとシンチレーションカウンタのセットアップ

の通りで、L1, L2 も同様である。図 4.5 の L0 の chip 6 でのヒットチャンネル分布のように、縦軸を channel 番号で示している。これらの図より、全層で chip 6, 7, 19, 20(図 4.4 の点線で囲むチップ) にヒットが集中しているため、ビームは図 4.6 の丸で示したように 4 つのシリコンセルにかかるようにして当たったことがわかる。よってこれらのチップを選択し、検出効率を求める。

### 4.3 検出効率を求める解析手順

例として L0 の検出効率を求める際の解析手順を下記に示す。L0 の検出効率の定義を式 4.1 に示す。L0<sub>hit</sub>, L1<sub>hit</sub>, L2<sub>hit</sub> は各層へのヒットを表す。粒子のトラックを保証するため、検出効率を求めたい層（以下ターゲット層と呼ぶ）以外の 2 層に特定の条件のもとで同時にヒットがあることを要求し、その上でターゲット層にヒットがあるときのイベント数を数え検出効率を求める。誤差は二項分布の誤差を使用して式 4.2 のように計算する。

$$\text{Efficiency}_{L0} = \frac{N(L0_{hit} \cap L1_{hit} \cap L2_{hit})}{N(L1_{hit} \cap L2_{hit})} \quad (4.1)$$

$$\text{Efficiency}_{L0 \text{ error}} = \frac{\sqrt{N(L0_{hit} \cap L1_{hit} \cap L2_{hit}) \times (1 - \text{Efficiency})}}{N(L1_{hit} \cap L2_{hit})} \quad (4.2)$$

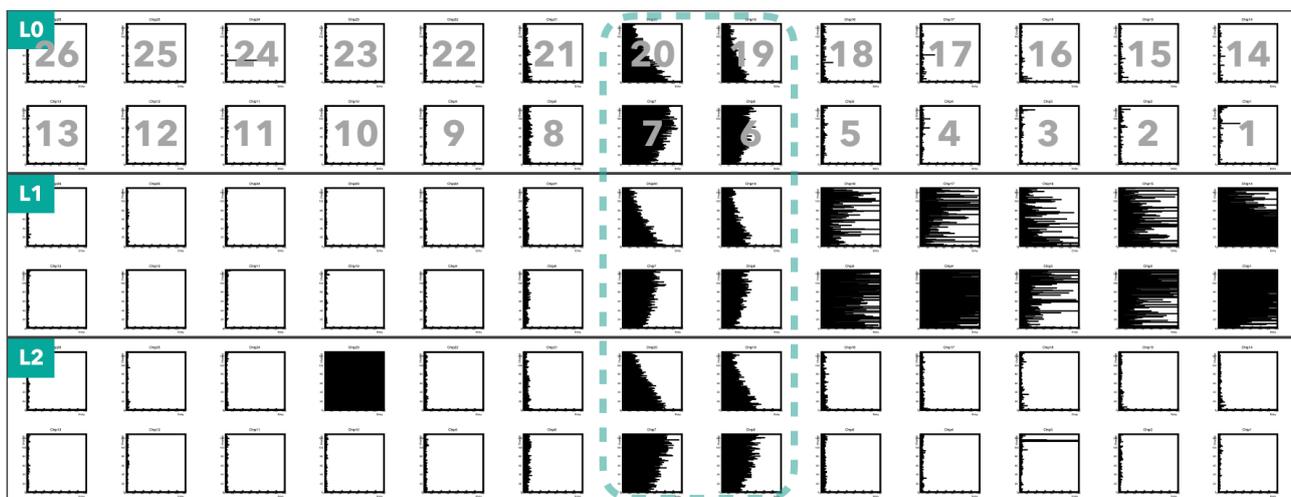


図 4.4 全層の各チップのヒットチャンネル分布。縦軸；channel、横軸：エントリー（全て最大エントリーを 140 に固定）

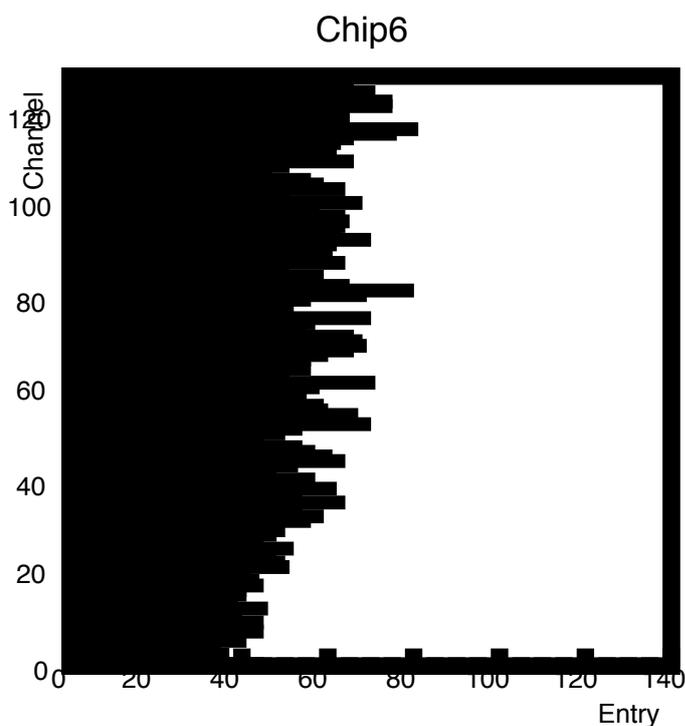


図 4.5 L0 の chip 6 でのヒットチャンネル分布。縦軸；channel、横軸：エントリー

### 4.3.1 各層でのヒット選定

ノイズを減らすため、L1, L2 に対して chip 6 の  $ADC \geq 4$  のシングルヒットを要求し、ターゲット層の L0 には chip 6, 7, 19, 20 どのチップでの複数ヒットも許すとする。ここで、シングルヒットは各チップにおいて 1 イベント中でのエントリーが 1 のヒットを意味し、複数ヒットは各チップにおいて 1 イベント中でのエントリーが複数あるヒットを意味する。

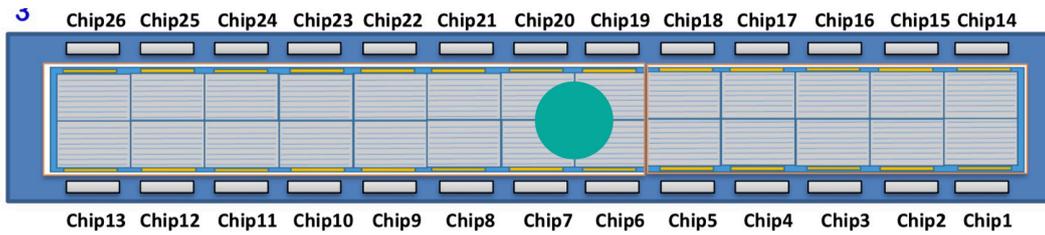


図 4.6 ビームが当たった場所

### 4.3.2 L1, L2 の全チャンネル位置を L0 に揃える

シリコンモジュールのセットアップ時に生じたわずかな傾きなどにより各層でヒット位置がずれる。0 点を揃えると言う意味で、全層でヒットチャンネル番号を揃える必要がある。これを alignment と言う。今回は L0 を基準としたチャンネルオフセットを L1, L2 に対して加えることで alignment を行った。それぞれのオフセットは L1 :  $-3.0$  ch、L2 :  $-3.5$  ch としている。このとき、シリコンセンサー上のチャンネルストリップ番号が chip 1 ~ 13 と chip 14 ~ 26 で対称的に配置されているため、図 4.7 のように chip 14 ~ 26 のチャンネルストリップ番号を channel 128 ~ 255 となるようにふりなおす。こうすることで、後で記述するチップをまたいだヒットチャンネル差を計算するような場合において、計算がより単純化される。

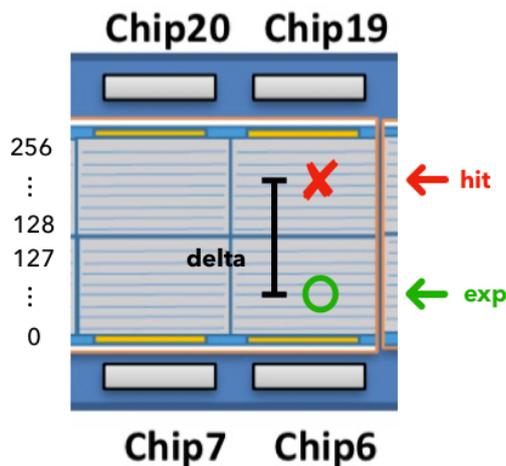


図 4.7 チャンネルストリップ番号付け

### 4.3.3 L0 のヒットチャンネルを L1, L2 のヒットチャンネルから予測

L0 以外の 2 つの層 L1, L2 のヒットチャンネル位置の差 ( $L1_{ch} - L2_{ch}$ ) を式 4.3 に示すように計算する。L1, L2 の相関分布とその差分布を図 4.8(a),(b) に示す。図 4.8(a) より L1, L2 のヒットに相関が見られる。L1, L2 のヒットが同一トラックであることを保証するため、図 4.8(b) の  $|L1_{ch} - L2_{ch}| < \pm 5$  channel のイベントを選択する。

$$\Delta_{deno} = L1_{ch} - L2_{ch} \quad (4.3)$$

### 4.3.4 L0 の実測値と予想値のチャンネル差を計算

L1, L2 のヒット位置から予想される L0 のヒット位置 ( $L0_{\text{exp}}$ ) を計算する。図 4.3 より、L0 と L1 の距離と L0 と L2 の距離の比が 2:3 であるので、L0 の予想されるヒット位置は式 4.4 のように表される。L0 のヒット予想値と実際のヒット位置 ( $L0_{\text{ch}}$ ) とのチャンネルの差 ( $L0_{\text{ch}} - L0_{\text{exp}}$ ) を式 4.5 のように計算する。1 イベント中で複数ヒットがある場合は、最も予想値に近いものすなわち予想値と実測値との差が最小のものを選択する。図 4.8(d) の灰色で示した分布が L0 の各ヒットに対する予想値とのチャンネル差分布であり、青色が 1 イベント中で予想値と最も近いときのチャンネル差分布である。L1 と L2 のヒットと同一トラックであることを保証するため、 $|L0_{\text{ch}} - L0_{\text{exp}}| < \pm 5 \text{ channel}$  のイベントを選択する。

$$\begin{aligned} (L1_{\text{ch}} - L0_{\text{exp}}) \times 3 &= (L2_{\text{ch}} - L0_{\text{exp}}) \times 2 \\ L0_{\text{exp}} &= L1_{\text{ch}} \times 3 - L2_{\text{ch}} \times 2 \end{aligned} \quad (4.4)$$

$$L0_{\text{delta}} = L0_{\text{ch}} - L0_{\text{exp}} \quad (4.5)$$

### 4.3.5 検出効率を計算

これらのイベント選定を行い、L0, L1, L2 の全てにヒットがあったイベント数と、L0 のヒットの有無にかかわらず L1, L2 にヒットがあったときのイベント数をそれぞれ数え、式 4.1 の分子、分母として L0 の検出効率を導出する。同様に L1 と L2 の検出効率を求める場合は、式 4.4 で示した L0 ヒット予想値の計算をそれぞれ式 4.6 (L1 ヒット予想値) と式 4.7 (L2 ヒット予想値) に入れ替えることで求めることができる。

$$L1_{\text{exp}} = \frac{1}{3}(L0_{\text{ch}} + L2_{\text{ch}} \times 2) \quad (4.6)$$

$$L2_{\text{exp}} = \frac{1}{2}(-L0_{\text{ch}} + L1_{\text{ch}} \times 3) \quad (4.7)$$

以上の解析手順を図 4.9 にまとめる。

## 4.4 結果

### 4.4.1 各層の検出効率

L0, L1, L2 それぞれの検出効率の結果を表 4.3 にまとめる。L0 は高い検出効率を得られたが、期待される 100% には満たないため非検出効率の原因について次章で議論する。さらに、各層で検出効率に大きな差がある。これがどの Run でも同じ傾向があるか、すなわち時間変化に依存するかを確かめた結果について次節で記述する。

表 4.3 検出効率結果 (単位: %)

L0	L1	L2	Chip No.
96.0 ± 0.5	65.6 ± 1.1	85.9 ± 1.0	6

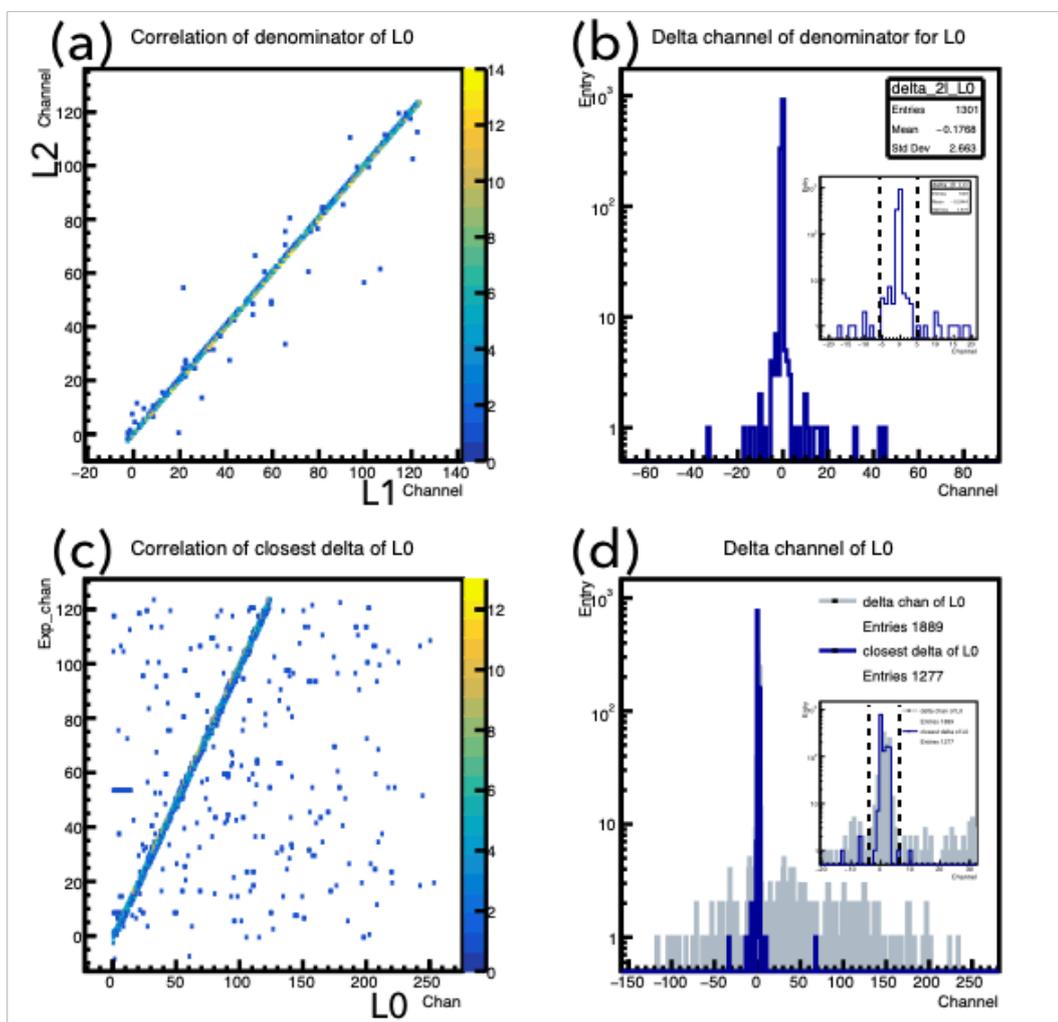


図 4.8 (a) L1, L2 のチャンネル相関分布。縦軸: L2 channel, 横軸: L1 channel (b) L1, L2 のチャンネル差分布。横軸: L1 - L2 channel (c) L1, L2 から予想される L0 のヒット位置と実測値のチャンネル相関分布。縦軸: L0 予想値, 横軸: L0 実測値 (d) L0 の実測値と予想値のチャンネル差分布。横軸:  $L0_{ch} - L0_{exp}$

#### 4.4.2 Run 毎の検出効率比較

検出効率が時間変化や測定条件によって変化するかを調べるため、Run 550 から Run 617 の各層の検出効率を比較した。これらの Run は全て Bus Extender なしでの測定である。Run 550 から Run 580 は DAC 設定を変更し MIP 測定を行なった Run である。図 4.10 に各 Run での各層の検出効率を示す。横軸は Run 番号で時間に依存する。青色が L0 の検出効率、マゼンタ色が L1 の検出効率、緑色が L2 の検出効率を示す。前半の Run 556 から Run 565 では L0 と L2 の検出効率がよく一致していることがわかる。その後の Run 581 からは L0 と L2 の検出効率が一致することはない。この原因について次章で議論する。

Run 568 から Run 580 と Run 598 から Run 611 などプロットのない Run でのヒットチャンネル分布を図 4.11 に示す。この場合全チップでノイズが見られビームの当たったチップが不明のため、検出効率を導出できなかった。

Run 585 から Run 597 ではシリコンモジュールの位置を変更したため、図 4.12 に示すようにビームの当たったチップが chip 7, 8, 20, 21 にずれた。そのため、分母に対して  $ADC \geq 4$  かつ chip 7 のシングルヒットを、分子に

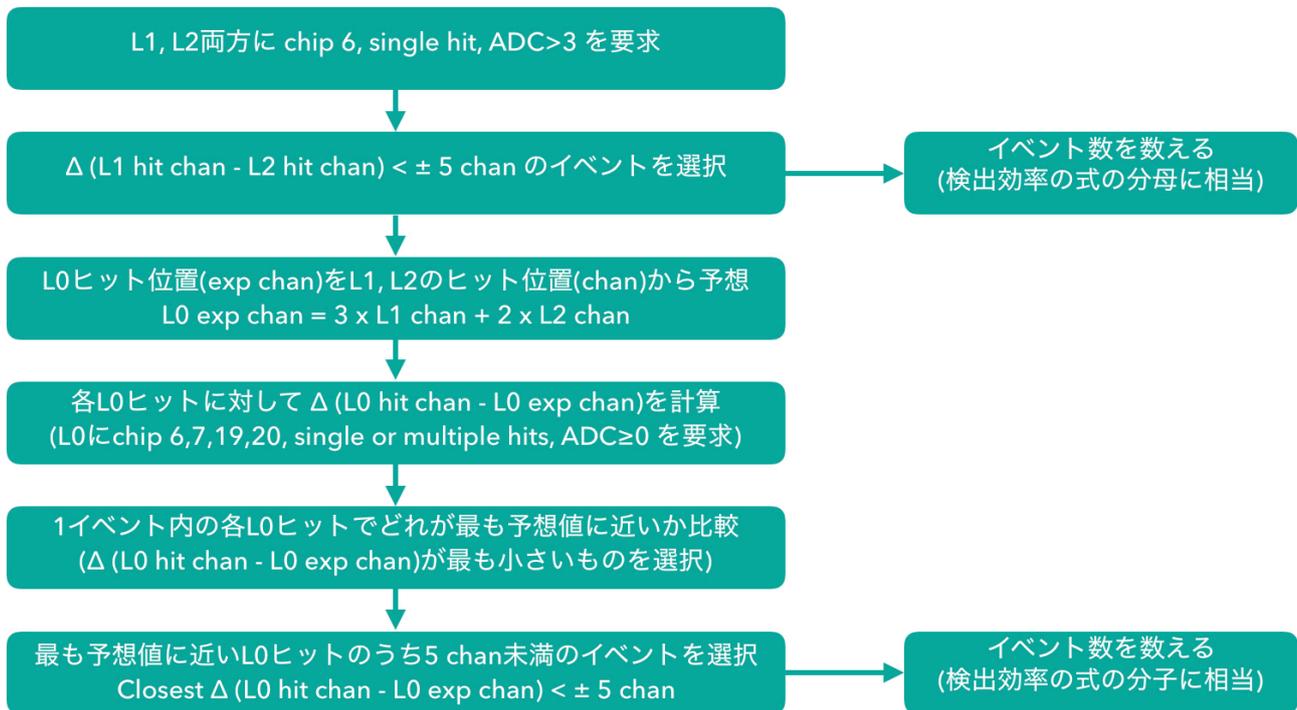


図 4.9 L0 検出効率を求める場合における解析手順の流れ

対して chip 7, 8, 20, 21 のヒットを要求して検出効率を求めている。誤差の大きい Run はイベント数が少ない Run である。

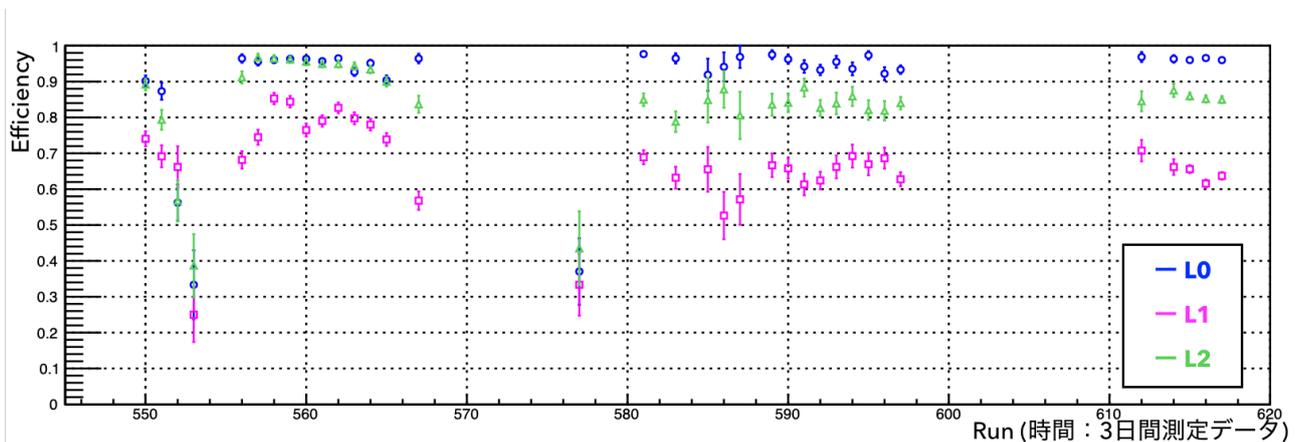


図 4.10 Run 毎の検出効率比較。縦軸：検出効率、横軸：Run 番号。青：L0, マゼンタ：L1, 緑：L2

#### 4.4.3 MIP 測定

精密な MIP のエネルギー損失を測定するため、図 4.13 のように DAC 設定を細かく変更し ADC 測定を行った。DAC 設定を変更し、全 DAC 範囲を網羅することを DAC スキャンと呼び、各 DAC 設定でのデータを DAC スキャン 1 から 13 とする。この図の単位は [mV] であり、単位 [mV] と [KeV] の変換は式 4.8 より行う。この DAC スキャンから得られた L0 の chip 6 へのシングルヒットにおけるエネルギー損失 (KeV) 分布を図 4.14 に示す

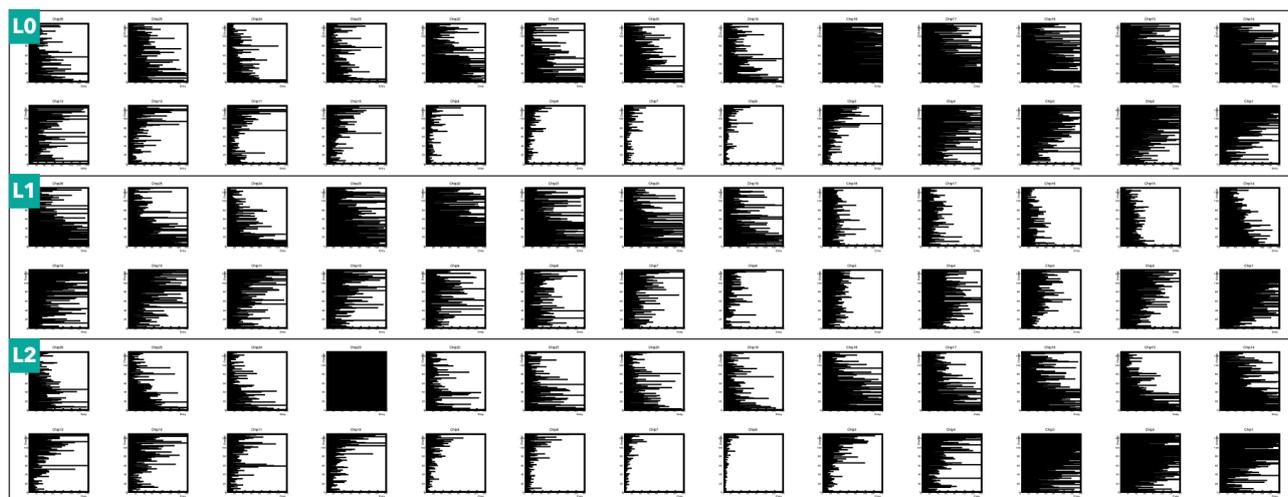
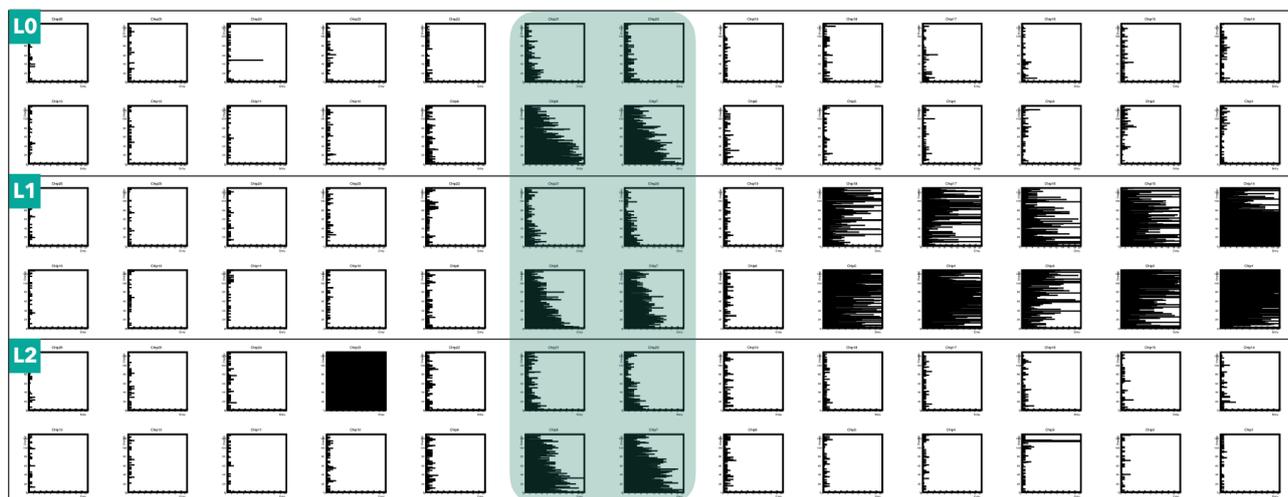


図 4.11 ノイズの多い Run のヒットチャンネル分布。Run 番号：609、縦軸：channel、横軸：エントリー



Beam spot chip 7, 8, 20, 21

図 4.12 シリコンモジュールの位置を変更したときのヒットチャンネル分布。Run 番号：590、縦軸：channel、横軸：エントリー

[Kai-Yu]。この結果から、MIP ピークは  $50.54 \pm 0.29$  [KeV] すなわち  $674 \pm 4$  [mV] であることがわかった。これは 3.3 節で導出した約 1100 mV の予想値より低い、宇宙線測定で得られた MIP ピーク 450 ~ 600 mV (3.4 節) と予想値より低いという点で一致している。

$$E [\text{mV}] = \frac{E_{dep} [\text{KeV}] \times 1.6 \times 10^{-1} [\text{fC}] \times 300 [\text{mV}]}{3.62 [\text{eV/eh 対}]} \quad (4.8)$$

#### 4.4.4 Bus Extender ありでの検出効率測定結果

今回のビームテスト実験では、Bus Extender を用いたデータ読み出しの確認も行なった。図 4.15 に示すように、Conversion Cable と併用し、ROC と HDI をつなげている。Run 625 から Run 663 は Bus Extender を用いた測定である。ここではエントリー数が最も多い Run 636 について解析した結果を記述する。全エントリー数は 1309915

DAC	Scan1	Scan2	Scan3	Scan4	Scan5	Scan6	Scan7	Scan8	Scan9	Scan10	Scan11	Scan12	Scan13
0	242	322	402	482	562	642	722	802	882	962	1042	1122	594
1	258	338	418	498	578	658	738	818	898	978	1058	1138	610
2	274	354	434	514	594	674	754	834	914	994	1074	1154	626
3	290	370	450	530	610	690	770	850	930	1010	1090	1170	642
4	306	386	466	546	626	706	786	866	946	1026	1106	1186	658
5	322	402	482	562	642	722	802	882	962	1042	1122	1202	674
6	338	418	498	578	658	738	818	898	978	1058	1138	1218	690
7	354	434	514	594	674	754	834	914	994	1074	1154	1234	706

単位：mV

図 4.13 DAC スキャン設定

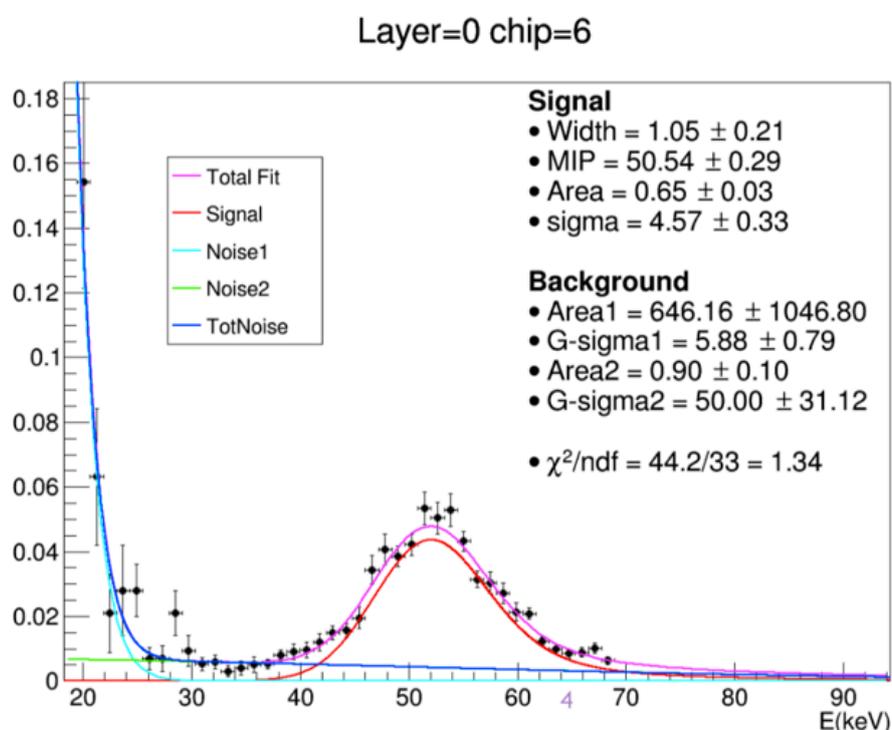


図 4.14 DAC スキャンによる L0 の chip 6 でのシングルヒットのエネルギー損失分布

エントリーである。この測定から得られた各層のヒットチャンネル分布を図 4.16 に示す。この図より、chip 6, 7, 19, 20 にビームが集中して当たっていることがわかる。ここで、L0 の chip 6 はヒットが全くなく、chip 20 はヒットが大量にあるので、検出効率の式の分母には  $ADC \geq 4$  かつ chip 7 でのシングルヒットを要求する。L0 の検出効率を求める場合、L1, L2 のチャンネル相関分布とチャンネル差分布を図 4.17(a)(b) に示す。図より、各ヒットが同一トラックであることを保証するため、L1, L2 の差が 5 channel 未満のイベントを選ぶ。そのイベント中で、L1, L2 から予想される L0 のヒット位置と実際のヒット位置との差を各ヒットに対して計算する。L0 のヒット予想値と実測値のチャンネル相関分布とチャンネル差分布を図 4.17(c)(d) に示す。図 4.17(d) において、1 イベント中でその差が最も小さいものを青線で示している。このうち L1, L2 と同一のトラックを保証するため、5 channel 未満のイベントを選ぶ。このようにして求めた検出効率を表 4.4 にまとめる。この結果より、各層で高い検出効率であることが確認できた。Bus Extender なしと比較すると、L0 と L2 では誤差の範囲で一致している。L1 は Bus Extender なしの結果より良くなっている。図 4.18 に Bus Extender ありとなしでの L0 の ADC 分布を示す。どち

らもよく一致していることがわかる。

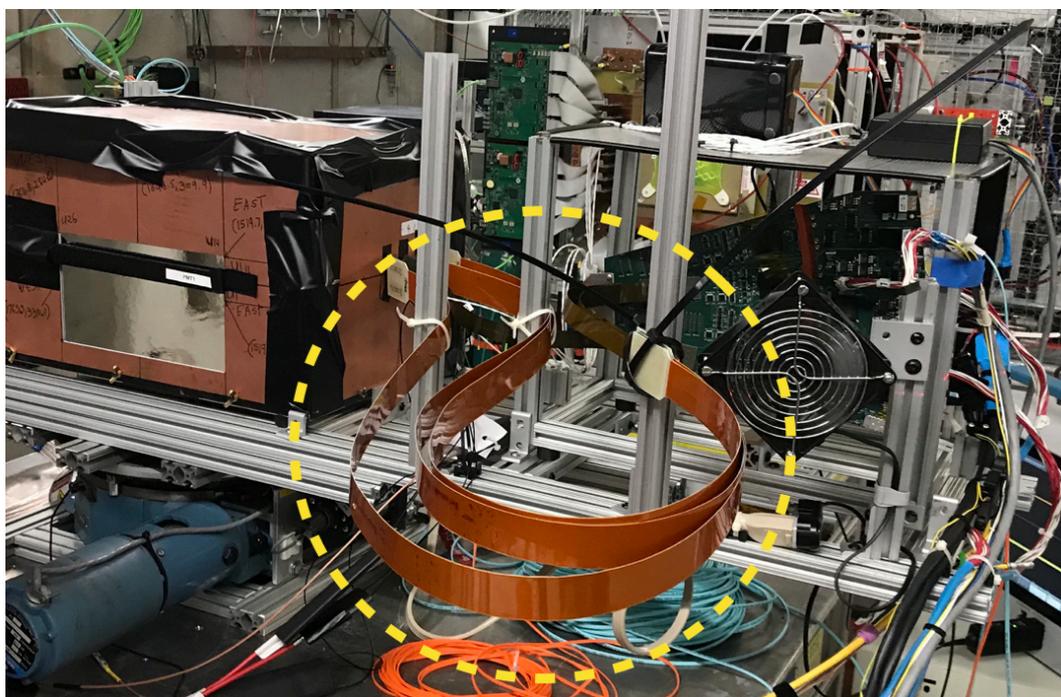


図 4.15 Bus Extender ありでの測定の様子。中央の黄色点線で囲まれているのが Bus Extender。

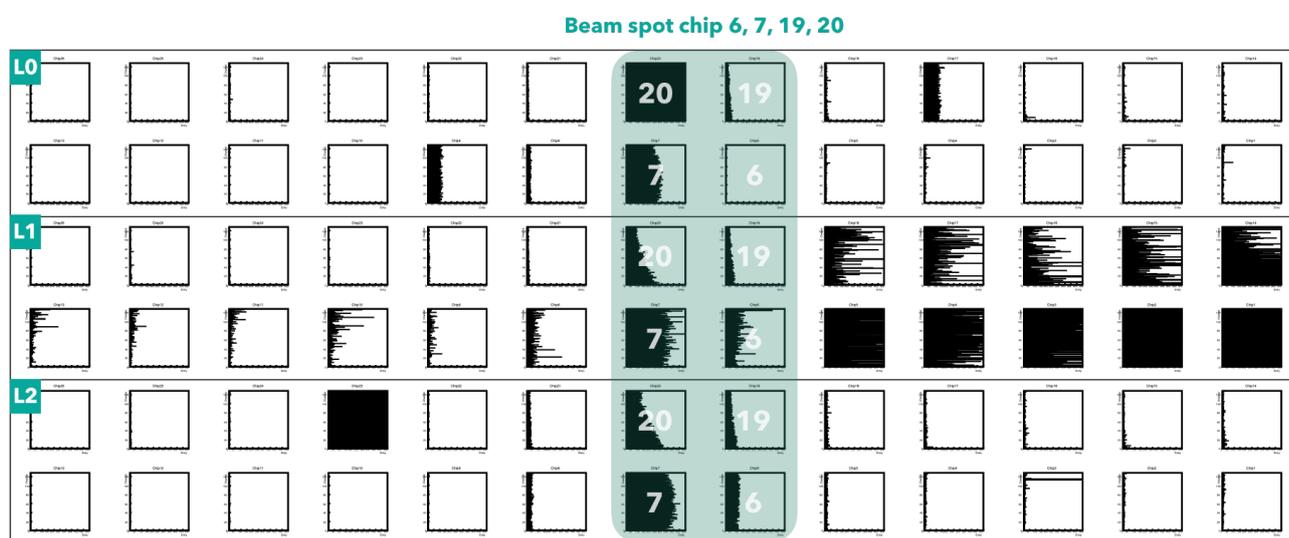


図 4.16 Bus Extender ありでの全層の各チップのヒットチャンネル分布。縦軸：channel、横軸：エントリー

また、同様にして L0 において大量のヒットがある chip 20 を分母の L1, L2 に要求し、チャンネル相関分布を確認する。図 4.19(a) に示すように、L1, L2 のチャンネル相関は正常に見られる。同一トラックを保証するため、L1, L2 のチャンネル差が 5 channel 未満のイベントを選び、L0 の予想値と実測値の相関を確認する。図 4.19(c) より、3 種類の相関が見られ、中央のチャンネルの端から端までの相関が本来見られるべき分布である。その上下に半分ほどの長さで存在する相関は、チャンネル番号のビットずれによると考えられる。つまり、最上位ビットが右にずれると実際のチャンネル番号の半分になり、左にずれると倍になる。そのため、本来見られる相関に加えて

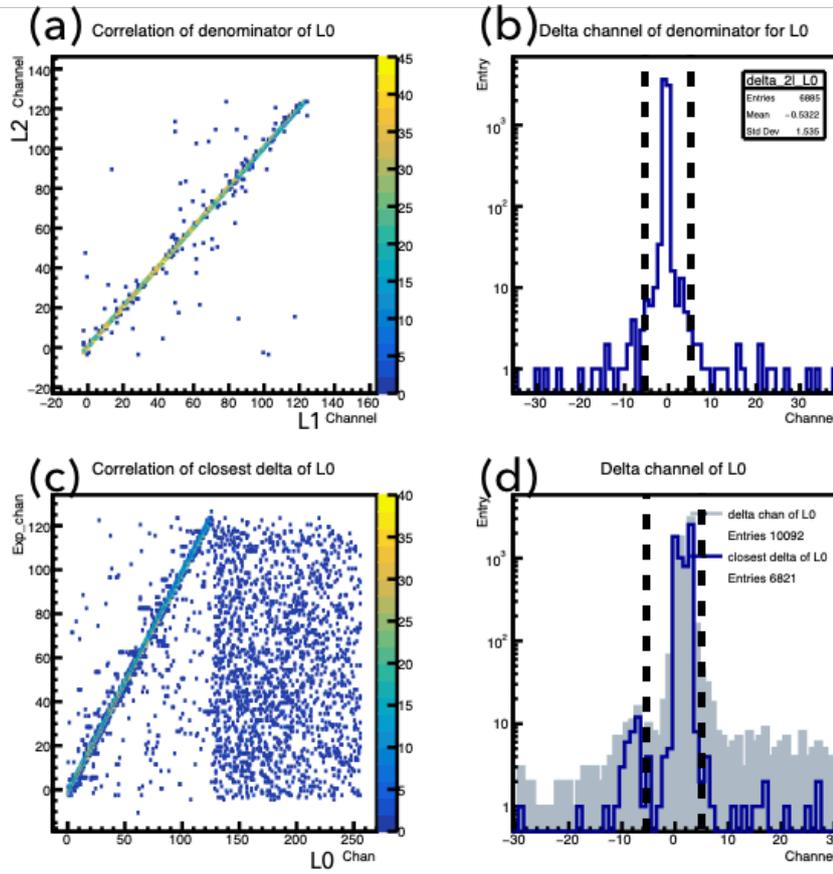


図 4.17 Bus Extender ありでの (a) L1, L2 のチャンネル相関分布。縦軸: L2 channel, 横軸: L1 channel (b) L1, L2 のチャンネル差分布。横軸: L1 - L2 channel (c) L1, L2 から予想される L0 のヒット位置と実測値のチャンネル相関分布。縦軸: L0 予想値, 横軸: L0 実測値 (d) L0 の実測値と予想値のチャンネル差分布。横軸:  $L0_{ch} - L0_{exp}$

表 4.4 Bus Extender ありでの検出効率結果 (単位: %)

L0	L1	L2	Chip	
$90.6 \pm 0.4$	$95.4 \pm 0.2$	$87.0 \pm 0.4$	7	w/ Bus Extender
$96.0 \pm 0.5$	$65.6 \pm 1.1$	$85.9 \pm 1.0$	6	w/o Bus Extender

ビットずれによる 2 つの相関が現れたように見える。このような相関分布は Bus Extender なしのデータでは見られなかったため、Bus Extender に起因した問題であると言える。

以上より、Bus Extender を繋げると、L0, L2 の検出効率は Bus Extender なしの結果とほとんど一致し、L1 が向上したことが確認できた。また、1 チップへの大量のノイズヒットによるビット落ちやビットずれなどの問題があることがわかった。

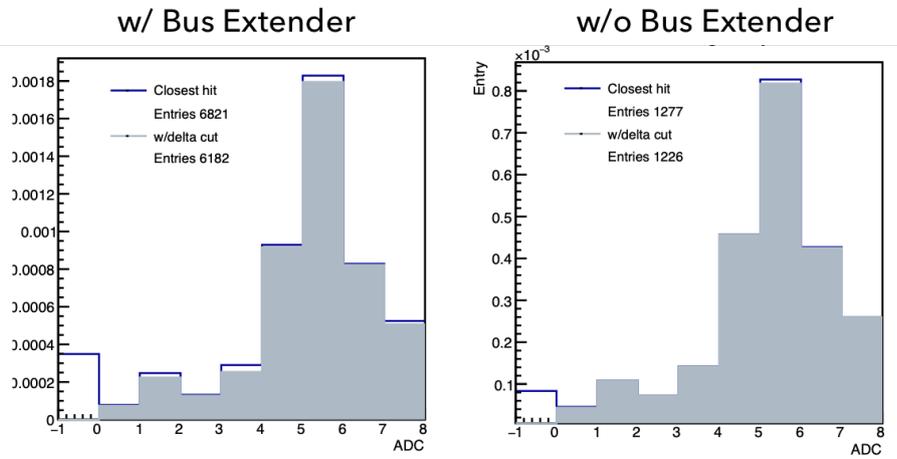


図 4.18 ターゲット層の ADC 分布。(左) Bus Extender あり、(右) Bus Extender なし

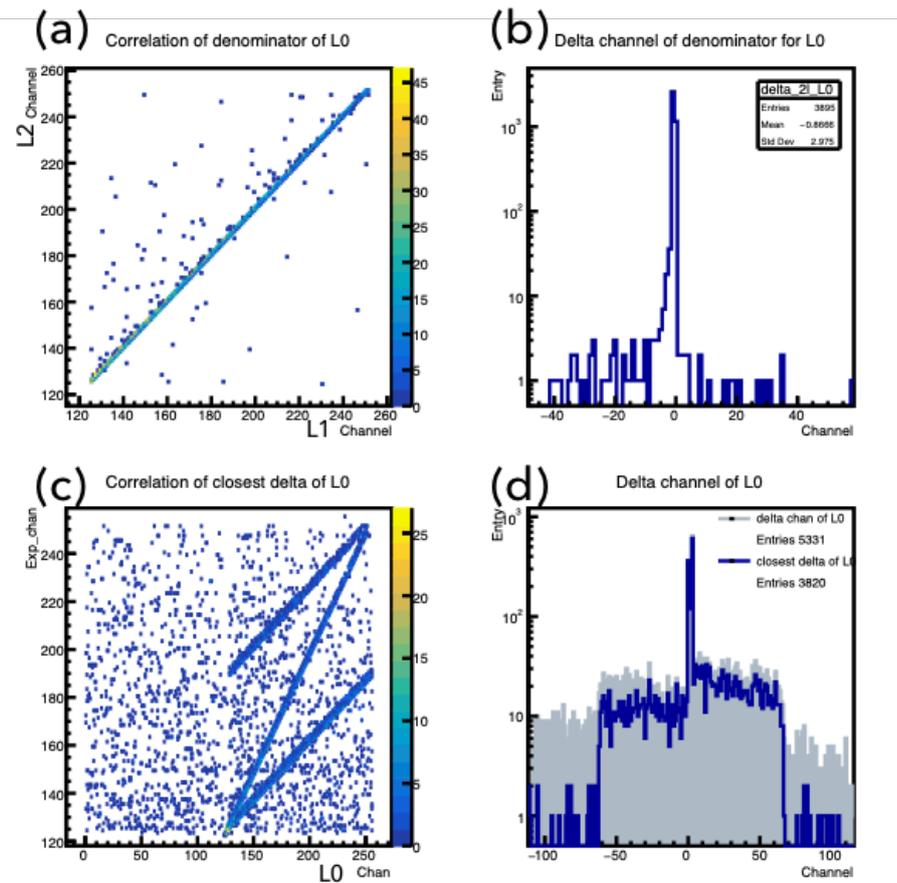


図 4.19 Bus Extender ありでの chip 20 を要求したときの (a) L1, L2 のチャンネル相関分布。縦軸: L2 channel, 横軸: L1 channel (b) L1, L2 のチャンネル差分布。横軸: L1 - L2 channel (c) L1, L2 から予想される L0 のヒット位置と実測値のチャンネル相関分布。縦軸: L0 予想値, 横軸: L0 実測値 (d) L0 の実測値と予想値のチャンネル差分布。横軸:  $L0_{ch} - L0_{exp}$

## 第 5 章

### 議論

#### 5.1 Geant4 による検出効率の測定

Geant4[Agostinelli (2003)] による検出器シミュレーションを行い、データ同様の解析アルゴリズムで検出効率を求め、100% の検出効率が出るか確認する。シミュレーションのシリコンモジュールとシンチレーションカウンタのセットアップを図 5.1 に示す。ビームテストと同様、2 つのシンチレーションカウンタで 4 つのシリコンモジュールを挟んで配置する。シリコンモジュール間はそれぞれ 35 mm ずつ開けている。シリコンモジュールは、シリコン、HDI (カプトン、銅、カーボンファイバー)、冷却システム (ポリスチレン、水) で構成されており、シリコンセンサーのサイズはビームテストで使用した実物と同じである。シンチレーションカウンタは、ポリビニルとアントラセンから構成され、サイズはビームテストで使用した実物と同じである。ビームは 120 GeV の陽子ビームで、入射方向は、 $(x, y, z) = (\sin\theta\cos\phi, \sin\theta\sin\phi, \cos\theta) = (0, \sin 2^\circ, \cos 2^\circ)$  で  $\theta = 2^\circ$ ,  $\phi = \pi/2$  に固定し、イベント数は 5000 イベントである。検出効率を計算するシリコンモジュールは図の L0, L1, L2 とする。

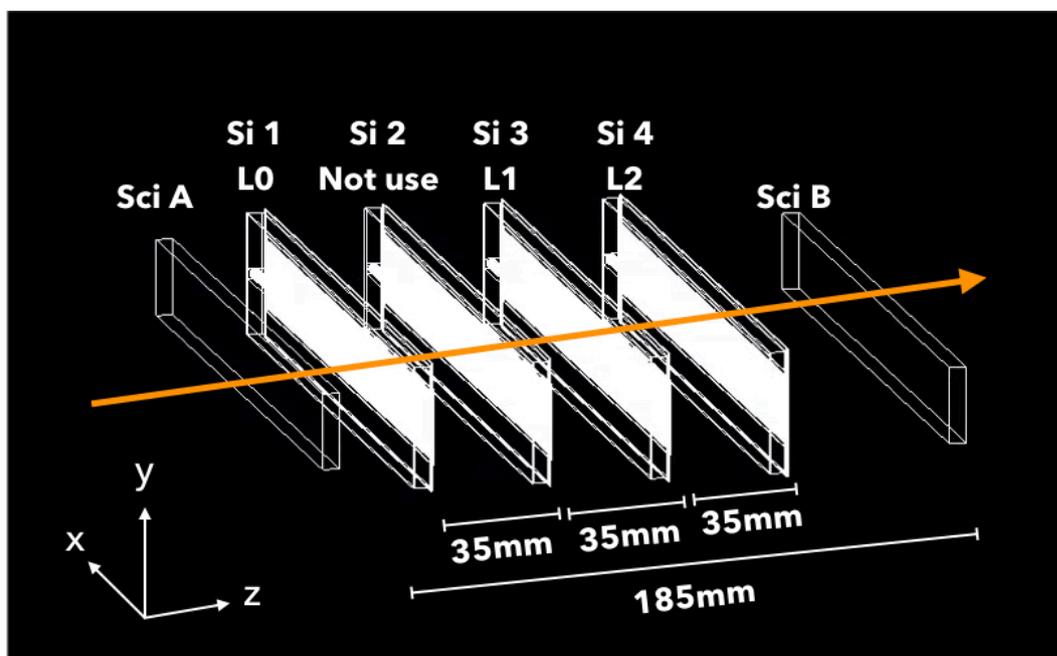


図 5.1 Geant4 シミュレーションのセットアップ

シミュレーションから得られたエネルギー損失 (MeV) 分布を図 5.2 に示す。エネルギーの単位を式 5.1 より [MeV] から [mV] に変換する。

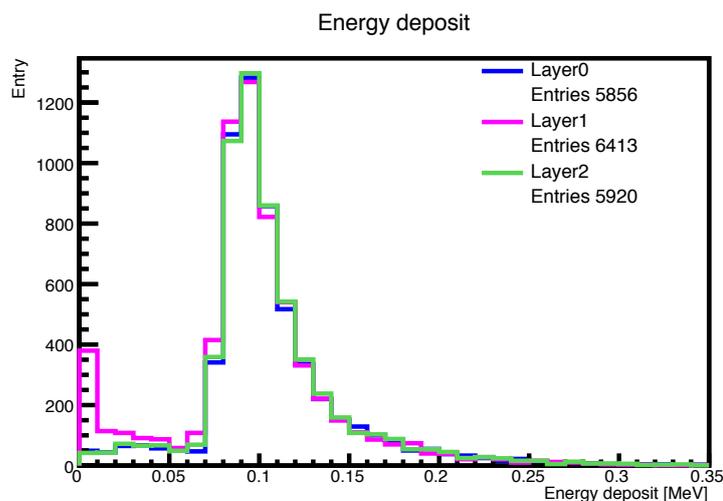
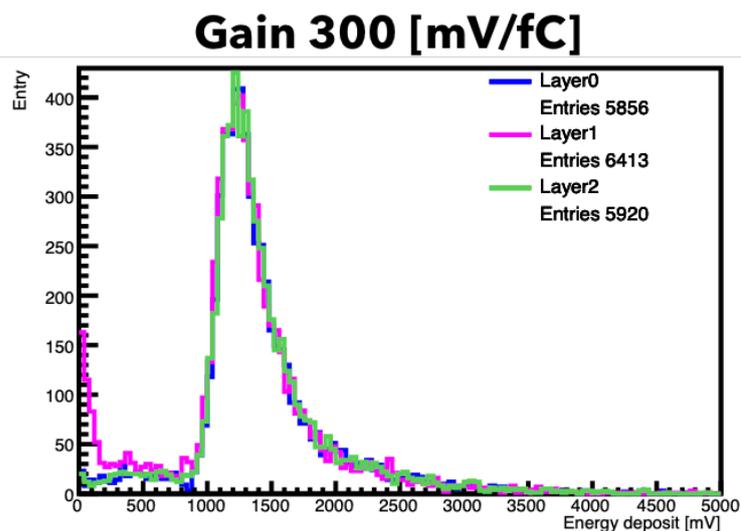


図 5.2 シミュレーションによる全ヒットのエネルギー損失 (MeV) 分布

$$E [\text{mV}] = \frac{E_{dep} [\text{MeV}] \times 1.6 \times 10^{-4} [\text{fC}] \times 300 [\text{mV/fC}]}{3.62 [\text{eV/eh 対}]} \quad (5.1)$$

ここで FPHX の増幅率をビームテストで設定されていたと思われる  $300 [\text{mV/fC}]$  にすると図 5.3 のようになり、ピークがデータに比べて高くなる。データに近づけるため、増幅率を 3.4 節から予想される  $100 [\text{mV/fC}]$  に設定する (図 5.4(左))。このままでは期待される MIP のエネルギー損失より低いので、さらにオフセットを調整しながら加えることでよりデータに近づけていく。こうして得られたもっともらしいオフセットは  $280 \pm 10 [\text{mV}]$  となった (図 5.4(右))。つまり、エネルギーの変換式 5.1 が式 5.2 のように書き換えられる。

図 5.3 増幅率  $300 [\text{mV/fC}]$  でのエネルギー損失 (mV) 分布

$$E [\text{mV}] = \frac{E_{dep} [\text{MeV}] \times 1.6 \times 10^{-4} [\text{fC}] \times 100 [\text{mV/fC}]}{3.62 [\text{eV/eh 対}]} + 280 \pm 10 [\text{mV}] \quad (5.2)$$

以上より、図 5.5 からデータとシミュレーション (増幅率  $100 [\text{mV/fC}]$  とオフセット  $280 [\text{mV}]$  適用) の ADC 分布を比較すると、ピークの位置と分布の形がよく一致していることを確認できる。

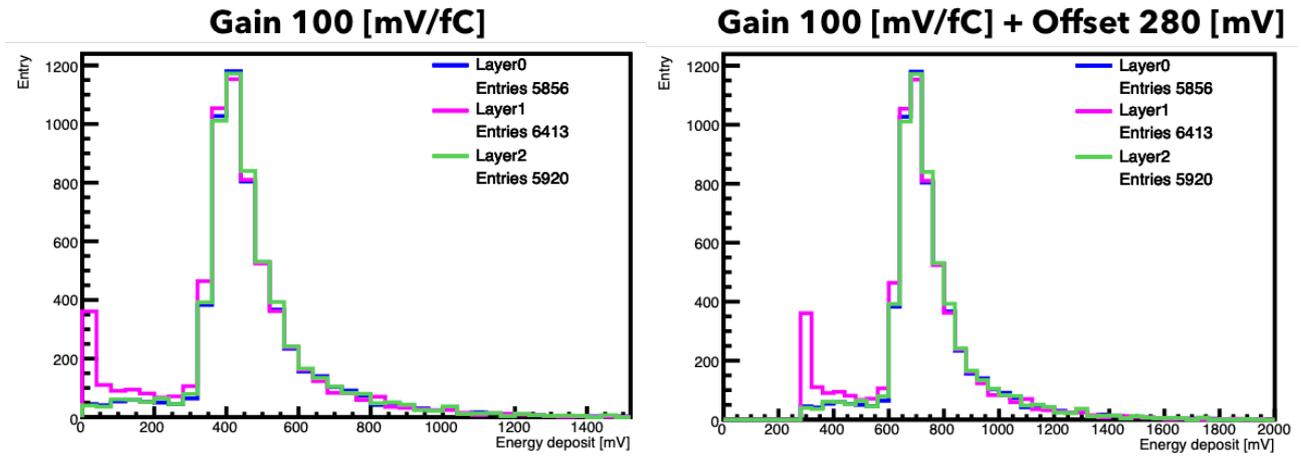


図 5.4 増幅率とオフセットを適用したエネルギー損失 (mV) 分布 (左) 増幅率 100 [mV/fC] を適用、(右) 増幅率 100 [mV/fC] とオフセット 280 [mV] を適用

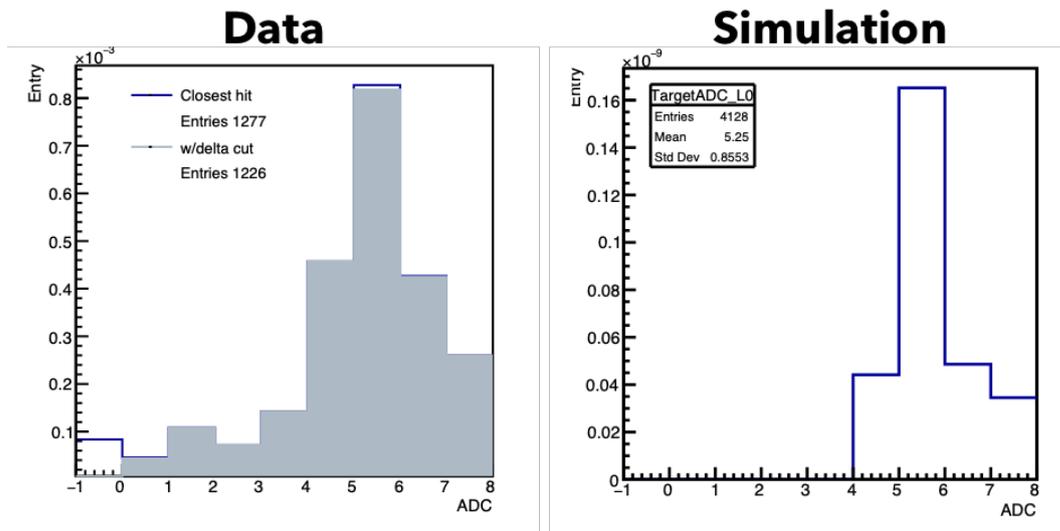


図 5.5 データ (左) とシミュレーション (右) の ADC 分布比較

また、L1 にのみ見られる 0 MeV 付近のピークは、ビームの入射角度を  $\theta = 2^\circ$  に設定していることに起因する。つまり、複数ストリップヒットのうち DAC0 閾値以下のエネルギー損失を持ったヒットが、 $\theta = 2^\circ$  のとき L1 によく見られた。 $\theta = 1^\circ$  に設定すると図 5.6 のように 0 MeV 付近のピークがなくなることも確認できる。

図 5.7 より、全層で chip 19 にヒットが集中しているため各層に対して chip 19 を要求する。分母の 2 層にはそれに加えて  $\text{ADC} \geq 4$  を要求する。データでの検出効率の求め方同様、ターゲット層が L0 の時の L1, L2 のチャンネル差が  $\pm 5$  channel 未満のイベント数を検出効率の定義式の分母として数える (図 5.8(a)(b))。そして、L1, L2 のヒット位置から予想される L0 のヒット位置と実際のチャンネルとの差が 1 イベント内で最も小さいイベントのうちその差が  $\pm 5$  channel 未満のイベント数を検出効率の定義式の分子として数える (図 5.8(c)(d))。

データとシミュレーションから導出した各層の検出効率の結果を表 5.1 に示す。シミュレーションの結果は全層で期待通り 100% の検出効率となった。L2 の検出されなかった 1 イベントは、L2 の予想値とヒット位置の差が  $-7$  channel あり、 $\pm 5$  channel 未満のイベント選定でカットされたためである。よって、ヒットがないために検出されなかったイベントはないと言える。同時に、本研究の解析アルゴリズムが妥当であることを確認できた。

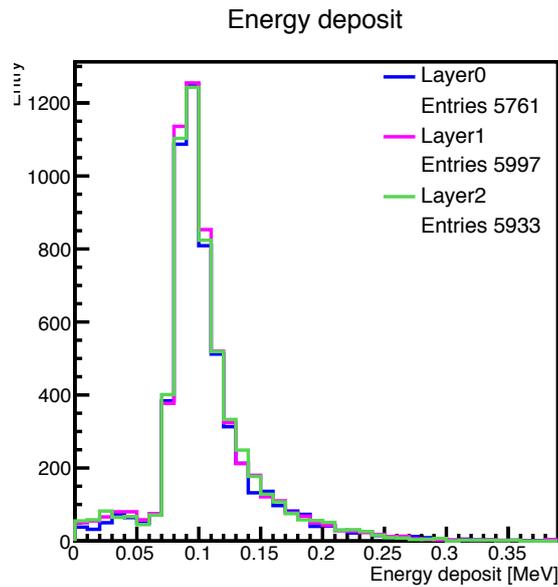
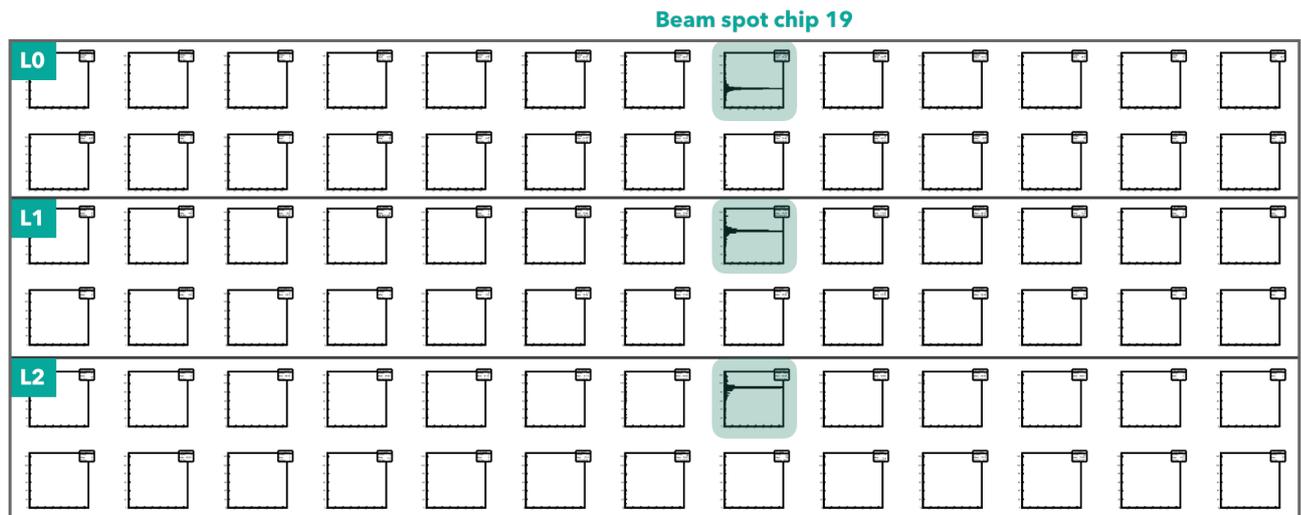
図 5.6  $\theta = 1$  でのエネルギー損失 (MeV) 分布

図 5.7 シミュレーションによる全層のヒットチャンネル分布。縦軸：チャンネル番号、横軸：エントリー数

## 5.2 前年度収集データとの比較

同じ解析ソフトウェアを用いて前年度に実施したビームテストでの検出効率と比較し、今年度で見られる傾向が現れるか確認する。前年度のビームテストでは3つのシリコンモジュールを使用し、各シリコンセンサーの厚みは  $200\ \mu\text{m}$  である。ビーム前方から L0, L1, L2 とし、それぞれ等間隔で配置されている。前年度のデータではビームの絞りが高いため、図 5.9 に示すように特定のチップ1つに対してビームが集中しているのがわかる。また、全チップを通してノイズが少ないことがわかる。この図より、chip 16 にピークを持ったヒットチャンネル分布が見られるので、全層に対して chip 16 のヒットを要求する。分母にはそれに加え  $\text{ADC} \geq 2$  を要求する。ここでベテブロッホの式より、 $200\ \mu\text{m}$  厚のシリコンセンサーで落とす MIP のエネルギーが  $320\ \mu\text{m}$  厚のときに比べて小さく

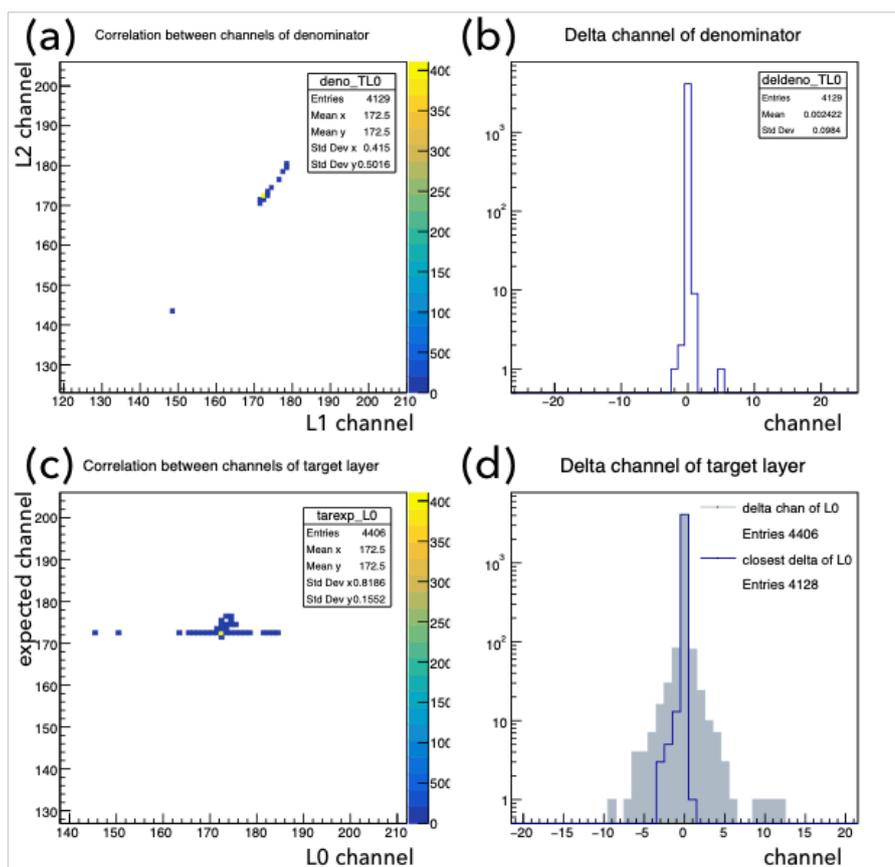


図 5.8 シミュレーションでの (a) L1, L2 のチャンネル相関分布。横軸 : L1 channel、縦軸 : L2 channel。 (b) L1, L2 のチャンネル差分布。 (c) L1, L2 から予想されるヒット位置と実測値の相関分布。横軸 : 実測値、縦軸 : 予想値。 (d) 実測値と予想値の差分布。

表 5.1 データとシミュレーションの検出効率比較 (単位 : %)

	L0	L1	L2
Data	96.0 ± 0.5	65.6 ± 1.1	85.9 ± 1.0
Simulation	100	100	99.98 ± 0.02

なると予想されるため、ADC のピークが今年度より低くなることを想定し、ADC のカットも低くかけている。

L0 の検出効率を求める場合、図 5.10(a)(b) に示すように L1, L2 のチャンネル相関が確認できる。L1, L2 のヒットが同一トラックであることを保証するため、L1, L2 のチャンネル差が ±5 channel 未満のイベントを選択し、これを前章で示した検出効率の式 4.1 の分母として数える。L1, L2 のチャンネル差が 22 channel 付近にも小さいなピークが見られるが、今年度のデータでは見られず未だ原因は不明である。3 つのシリコンモジュールは等間隔に設置されているので、分母の L1, L2 から予想されるターゲット層 L0 のヒット位置は式 5.3 のように計算できる。

$$L0_{\text{exp}} = (L1_{\text{hit}} + L2_{\text{hit}}) \times \frac{1}{2} \quad (5.3)$$

その予想値と実際の L0 のヒット位置との差を計算し、1 イベント中でその差が最も小さいヒットを選ぶ (図 5.10(d) の青線)。図 5.10(c) より予想値と実測値との相関が見られるため、その差が ±5 channel 未満のイベントを式 4.1 の分子として数える。

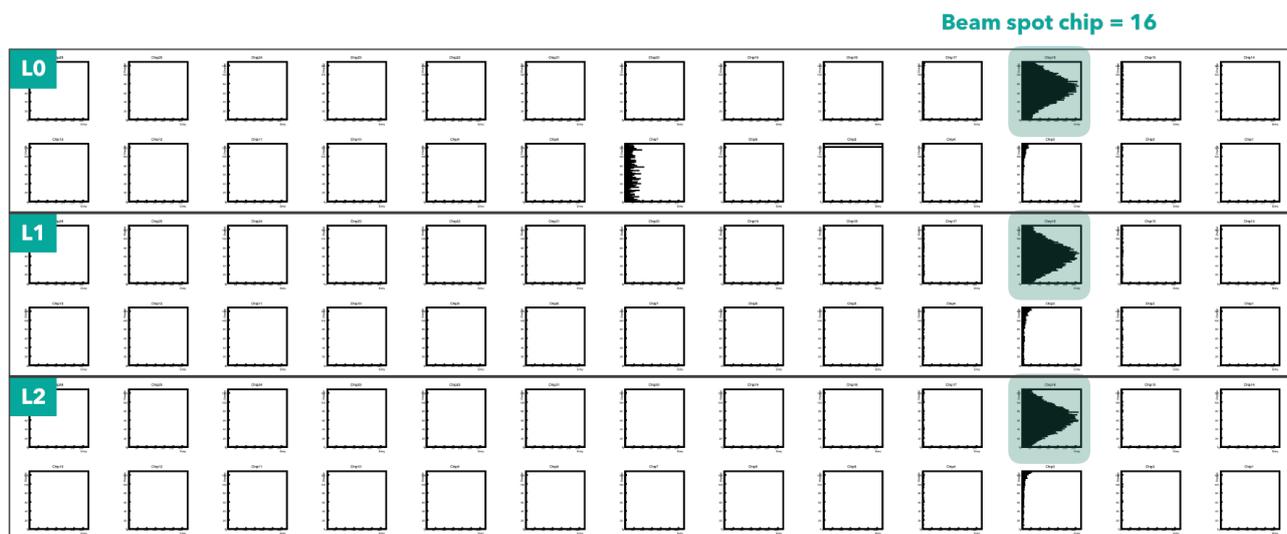


図 5.9 前年度収集データでの全層のヒットチャンネル分布。縦軸：channel、横軸：エントリー

この条件のもと今年度と前年度での検出効率の比較を表 5.2 に示す。L0 の検出効率は前年度の結果と矛盾がないと言えるが、L1 や L2 は前年度の結果の方がどの層でも高い検出効率であることがわかる。この結果から、最も高い L0 は今年度・前年度共に期待される 100% の検出効率に満たないため、その原因が読み出しタイミングのずれによると予想し次節で議論する。

また、今年度データと前年度データにおけるターゲット層 L0 での ADC 分布とエネルギー損失分布をそれぞれ図 5.11 と図 5.12 に示す。表 5.3 に示すように各 DAC 範囲の中心値を取り、図 5.12 のヒストグラムの各ピンは幅が違うのでこれを較正するために重み付けをしている。これらの図より、今年度データは 658 ~ 786 [mV] に、前年度データは 402 ~ 530 [mV] にピークが見られる。このピークの違いは、シリコンセンサーの厚みに起因する。前節で得られた増幅率とオフセットを適用すると、MIP のエネルギー損失の期待値は、今年度：680 ± 10 [mV]、前年度：520 ± 10 [mV] であることから、今年度・前年度の測定結果は期待値によく一致していると言える。同時に、増幅率とオフセットが妥当であることも確認できる。

表 5.2 今年度データと前年度データの検出効率比較 (単位：%)

Year	L0	L1	L2	Run
今年度データ	96.0 ± 0.5	65.6 ± 1.1	85.9 ± 1.0	615
前年度データ	96.4 ± 1.0	98.6 ± 0.6	97.7 ± 0.7	97

### 5.3 タイミングスタディ

L0 の検出効率が 100% に満たなかった原因がデータ出力のタイミングの違いによるのではないかと考え、議論する。図 5.13 に示すように、ダブルヒットではエネルギー損失が 2 つのストリップに分かれるため、シングルヒットに比べて各チャンネルの出力波高が低くなる。波高が低くなるとデータを読み出すタイミングも遅くなり、DAC0 閾値を超えて約 100 ns 後に立ち上がる Discriminator output でも同様にタイミングが遅れる。Discriminator output の立ち上がっている間に最初のクロック (BCO0) が立ち上がるとそのタイミングで全 ADC データが読み出されるが、BCO0 がたまたま L1, L2 の Discriminator output の端で立ち上がると L0 だけデータがない状態になりこれが L0 の非検出効率の原因ではないかと予想した。このような読み出しチップの動作から、分母の 2 層 (L1, L2) で異

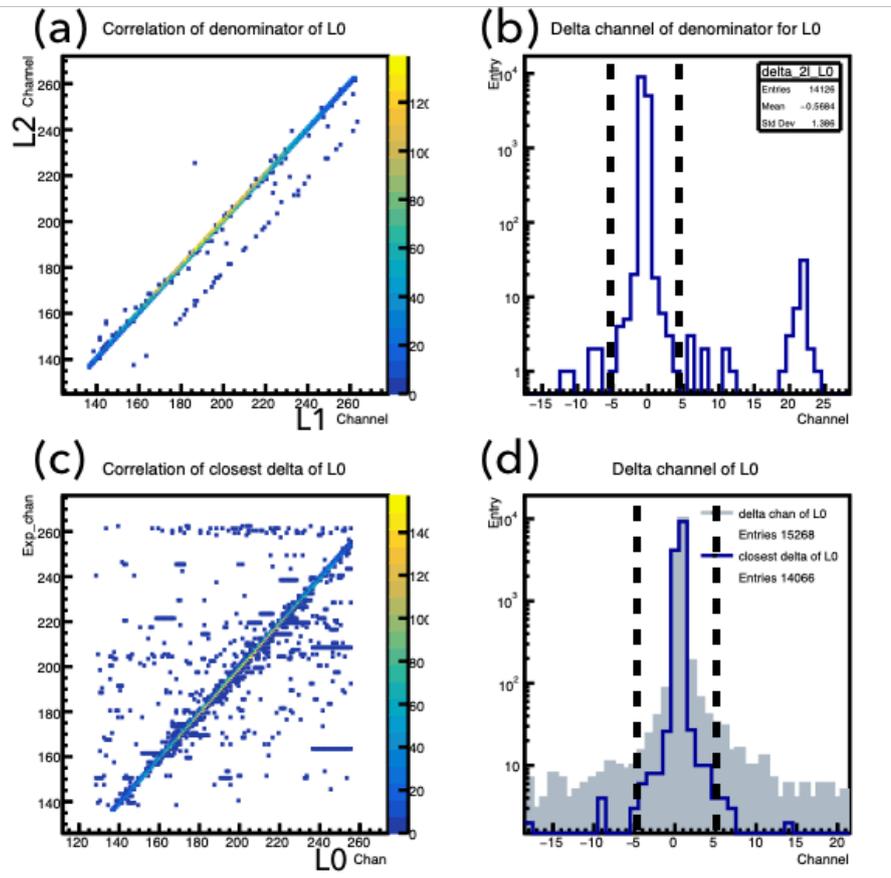


図 5.10 前年度収集データでの (a) L1, L2 のチャンネル相関分布。縦軸: L2 channel, 横軸: L1 channel (b) L1, L2 のチャンネル差分布。横軸: L1 - L2 channel (c) L1, L2 から予想される L0 のヒット位置と実測値のチャンネル相関分布。縦軸: L0 予想値, 横軸: L0 実測値 (d) L0 の実測値と予想値のチャンネル差分布。横軸:  $L0_{ch} - L0_{exp}$

なるヒット条件を与え読み出しタイミングを制御することで、ターゲット層 (L0) のイベントが分母 (L1, L2) と同一クロックで読み出される確率が上がると考えた。この仮説を検証するため、以下のようにタイミングを制御した。

これまでの解析では分母の 2 層両方に対して、シングルヒットかつ  $ADC \geq 4$  を要求していたが、L2 に対してのみこれらの条件を緩める。つまり、L2 に隣同士のダブルヒットかつどちらかのヒットが低い  $ADC (1 \leq ADC \leq 4)$  を要求することで、出力波高の低いヒットを選びタイミングを遅らせる。そうすることで、検出効率の定義式より  $L1 \cap L2$  を満たすイベントは図 5.13 のような BCO0 のタイミングでデータを読み出すことはなくなるため検出効率が高くなると期待した。まず、エネルギーがシェアされて波高が低くなるヒットを選ぶために、L2 の隣同士のダブルヒットを選択する。L2 のダブルヒットのうち小さいチャンネル番号の方を ch1、大きい方を ch2 とする。ch2 - ch1 のヒストグラムを図 5.14 に示す。この図より、ch2 - ch1 = 1 に鋭いピークが見えるが、これが隣り合ったヒットを示している。この隣り合ったダブルヒット ch1, ch2 の ADC 相関を図 5.15(右) に示す。この図より、ch1, ch2 のどちらかの ADC が低いときもう一方の ADC は高くなることがわかる。例えば、ch2 の ADC が 0 のときは ch1 の ADC が 4 以上であるように、逆相関になることがわかった。つまり、隣り合ったストリップでエネルギーがシェアされていることが確認できた。次に、L1 と L2 のチャンネル差 ( $L1_{ch} - L2_{ch}$ ) を計算する。このとき、2 つの平均を取るために  $L2_{ch} = (ch1 + ch2)/2$  とする。図 5.16(a)(b) より、L1, L2 のチャンネルに相関が見られるので、チャンネル差が 5 channel 未満のイベントを選ぶ。L1, L2 のヒット位置から L0 のヒット位置を

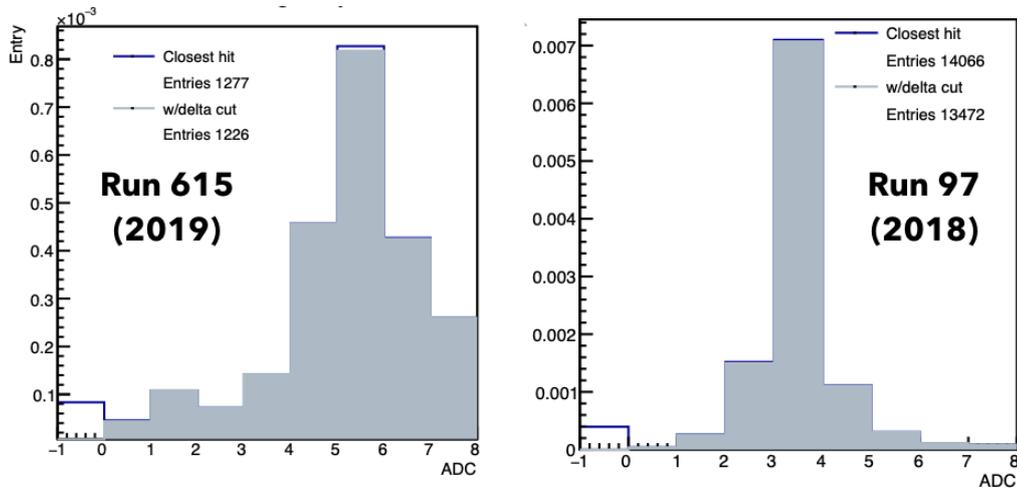


図 5.11 今年度データ (左) と前年度データ (右) の ADC 分布。-1 はヒットがないイベントを示している。

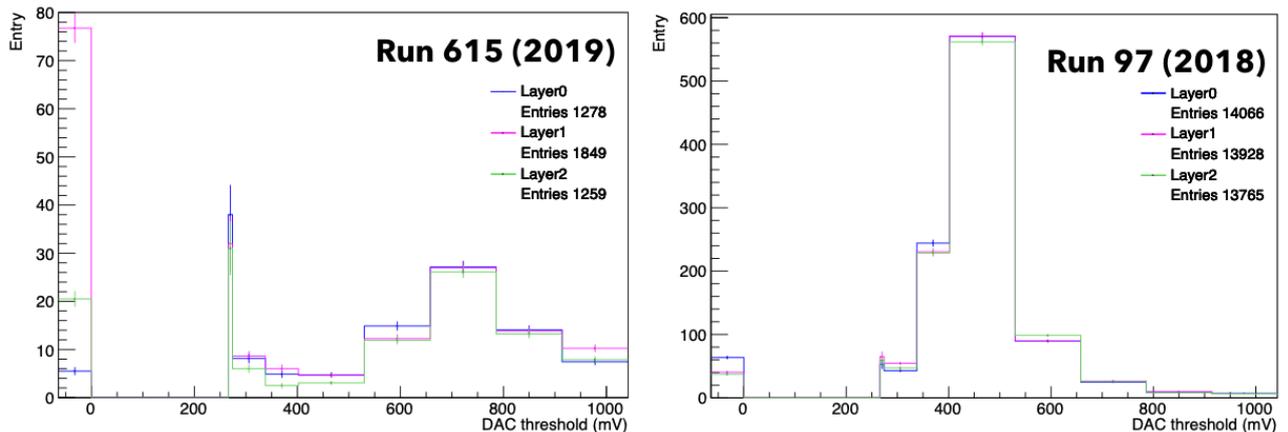


図 5.12 今年度データ (左) と前年度データ (右) のエネルギー損失分布

予想し、実測値との差 ( $L0_{ch} - L0_{exp}$ ) を求める。図 5.16(c)(d) より、L0 の予想値と実測値に相関が見られるので、その差が  $\pm 5$  channel 未満のイベントを選び検出効率を計算した。

このようなタイミング制御を行なったことで、L0 の検出効率は  $97.2 \pm 1.0\%$  となり、これまでの結果より誤差の範囲内であるが中心値が 1.2% 上がった。このときの L0 のヒット数分布を図 5.17(左) に示す。ヒット数 1 のシングルヒットが最も多いことがわかる。ヒット数が 2 (ダブルヒット) のとき、隣り合うストリップにヒットした場合に対して、2 つのヒットの ADC 相関分布とチャンネル相関分布を図 5.18(a)(b) に示す。ここでもダブルヒットの ADC で相関が見られた。ここから、ダブルヒットのうち 1 つが ADC0 閾値以下の場合、もう片方のヒットがシングルヒットとして記録されることがわかる。また、図 5.17(左) のヒット数 1 のとき、すなわちシングルヒットのときの ADC 分布を見ると、ADC0 に 1 つだけヒットがある (図 5.17(右))。今までの考え方からこれはダブルヒットのうち 1 つではなくノイズである可能性が高いが、このノイズと思われるヒットは 1 つしかないので、ほとんどが正しいヒットを選ぶことができていると言える。また、L0 の離れたダブルヒットに対して同様に ADC 相関分布とチャンネル相関分布を図 5.18(c)(d) に示す。この図より、どちらも比較的大きな ADC で、離れた 2 つのダブルヒットのチャンネル相関も見られない。図 5.19 に離れた 2 つのヒット位置と予想値の差分布と各ヒットと予想値との相関分布を示しているが、これらの図から予想値との相関も見られない。このことから、離れたストリップへのヒットは単なるノイズではなく、ほとんどがデルタレイなど別の粒子によるものではないかと考えられる。今

表 5.3 DAC 閾値と ADC 値の関係

Threshold (mV)	Range of bins	Middle value (mV)	ADC
266	$266 \leq X < 274$	270	0
274	$274 \leq X < 338$	306	1
338	$338 \leq X < 402$	370	2
402	$402 \leq X < 530$	466	3
530	$530 \leq X < 658$	594	4
658	$658 \leq X < 786$	722	5
786	$786 \leq X < 914$	850	6
914	$914 \leq X < 1042$	978	7

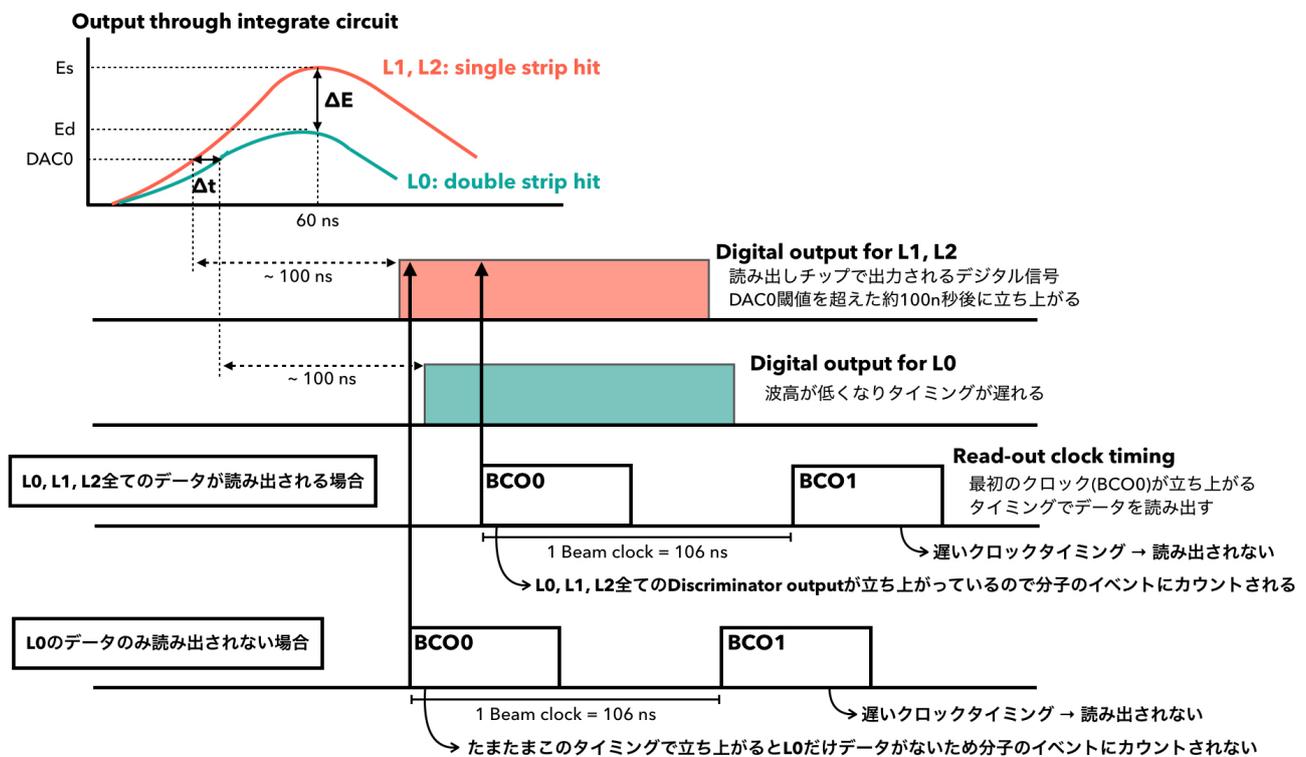


図 5.13 タイミングの違いによる L0 ヒットの取りこぼし仮説

回は予想値との差が大きいため分子のイベントには数えられないが、たまたま数えられてしまう場合はカットする必要がある。

この他にタイミングずれを起こす原因としてクロックのジッターが考えられる。ビームテストでは連続ビームを用いるため、クロック位相の中央だけでなく端で出力されることがある。これらを制御するためにクロックのタイミングを記録する必要がある。今回はビームとクロックの相対タイミングを記録していなかったため、クロックの端にきたイベントを除くことはできないが、もしそれができていれば期待される 100% に近い検出効率を出すことができたと思われる。これは、次回のビームテストで改善することに加え、今後テストベンチでも同様の確認を行えるよう環境構築を進めていきたい。

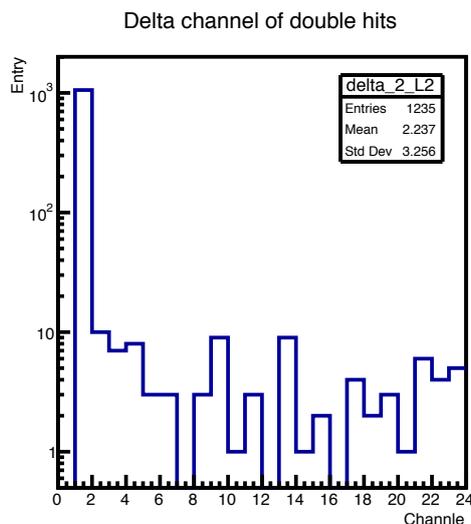


図 5.14 (ch1 - ch2) 分布

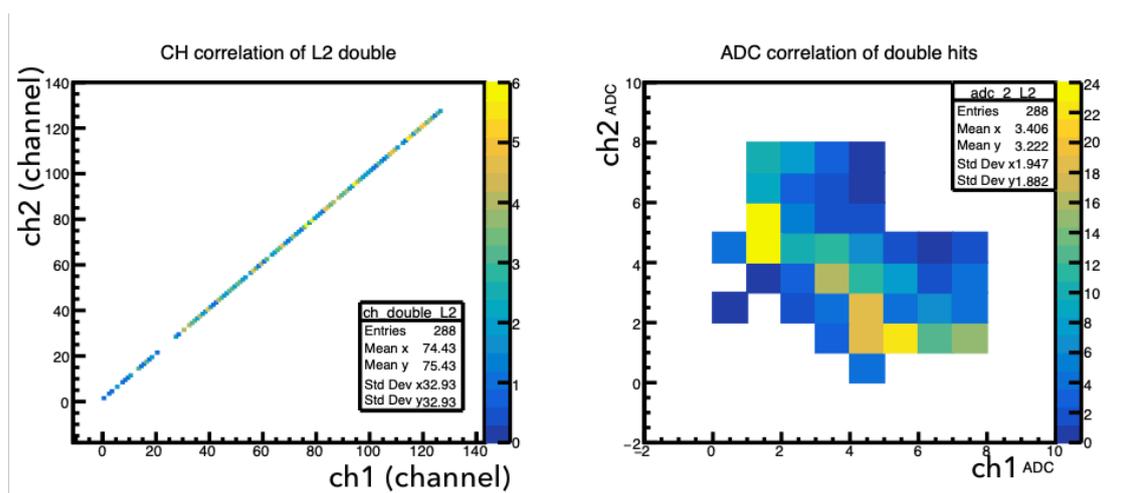


図 5.15 (左) L2 の隣り合うダブルヒット ch1 と ch2 のチャンネル相関分布。縦軸: ch2, 横軸: ch1 (右) ch1, ch2 の ADC 相関分布

## 5.4 Run 毎の検出効率の変化の原因追求

前章で見られた Run に依存する検出効率の違いについて議論する。Run 560 と、L0 との検出効率に差ができた Run 567 の L2 のヒットチャンネル分布を図 5.20 に示す。どちらの Run も chip 6, 19 にヒットが集中しているため分母に対して  $\text{ADC} \geq 4$  かつ chip 6 のシングルヒットを、分子に対して chip 6, 7, 19, 20 のヒットを要求している。この図から Run 567 で見られる chip 23 のノイズが Run 560 ではないことがわかる。L0 と L2 の検出効率がよく一致していた Run 556 から Run 565 ではこれらのノイズが見られなかった。このことから、L2 の検出効率が Run 567 以降で低下した原因は L2 の chip 23 の大量のノイズによる可能性が考えられる。

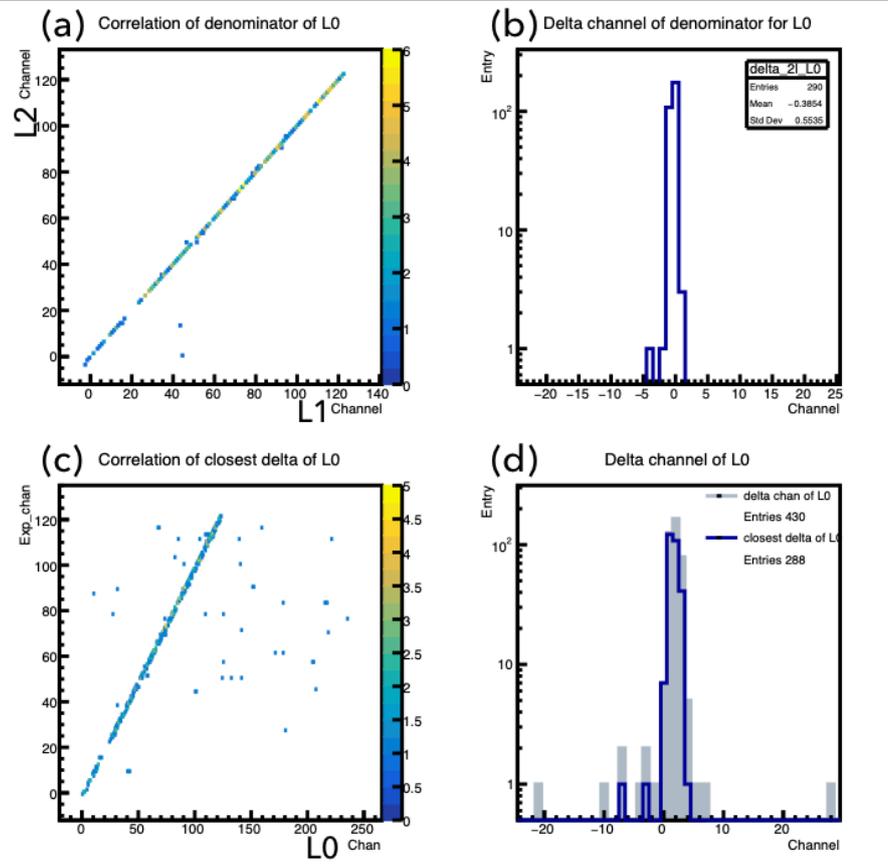


図 5.16 L2 がダブルヒットでの (a) L1, L2 のチャンネル相関分布。縦軸: L2 channel, 横軸: L1 channel。 (b) L1, L2 のチャンネル差分布 (c) L0 の実測値と期待値のチャンネル相関分布。縦軸: 予想値, 横軸: 実測値 (d) 実測値と予想値のチャンネル差分布

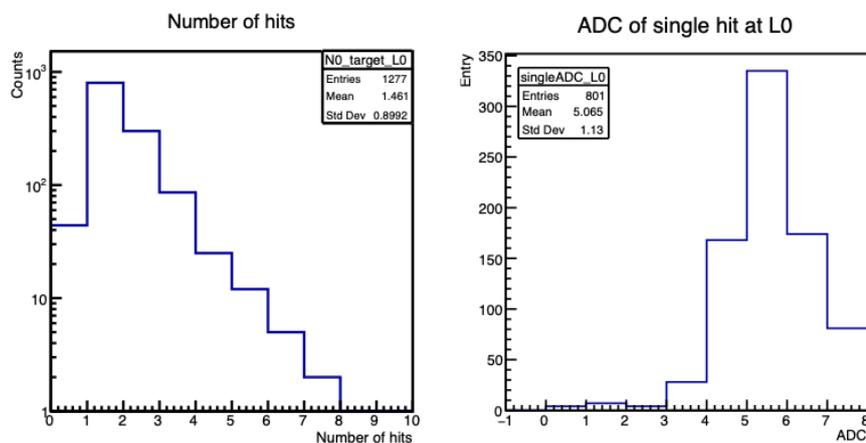


図 5.17 (左) L0 ヒットのヒット数分布 (右) 最も予想値に近い L0 ヒットのうちのシングルヒットの ADC 分布

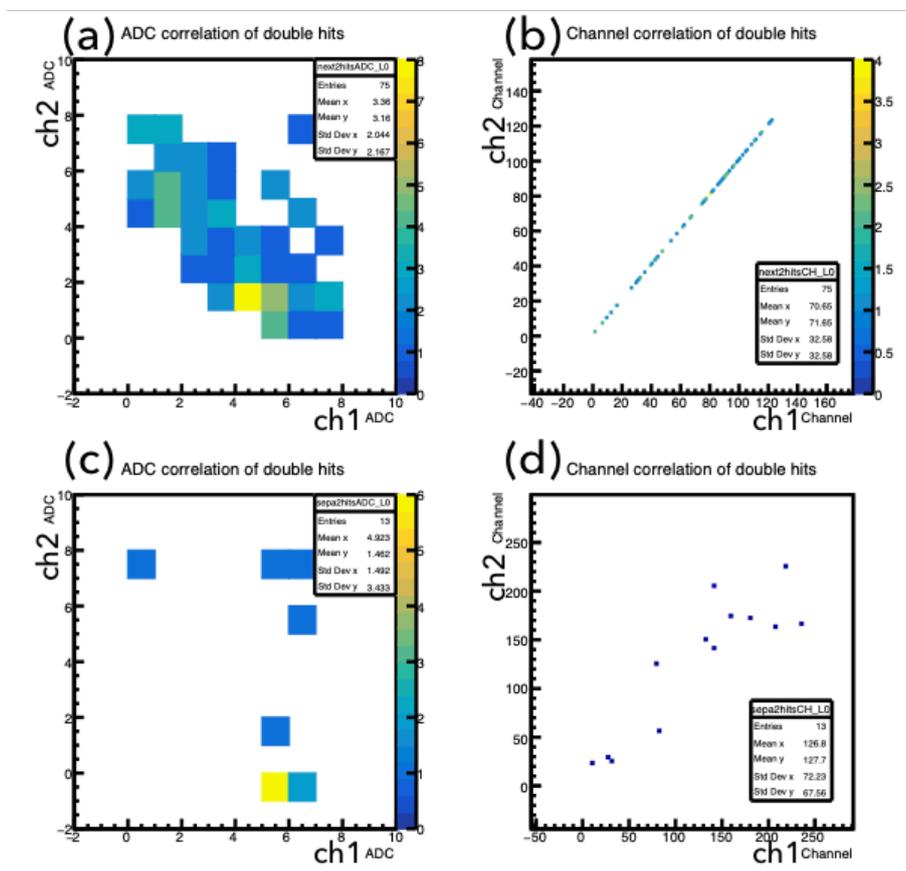


図 5.18 (a) L0 の隣同士のダブルヒットの ADC 相関分布。横軸 ; ch1 の ADC、縦軸 ; ch2 の ADC (b) L0 の隣同士のダブルヒットのチャンネル相関分布。横軸 ; ch1、縦軸 ; ch2 (c) L0 の離れたダブルヒットの ADC 相関分布。横軸 ; ch1 の ADC、縦軸 ; ch2 の ADC (d) L0 の離れたダブルヒットのチャンネル相関分布横軸 : ch1、縦軸 ; ch2

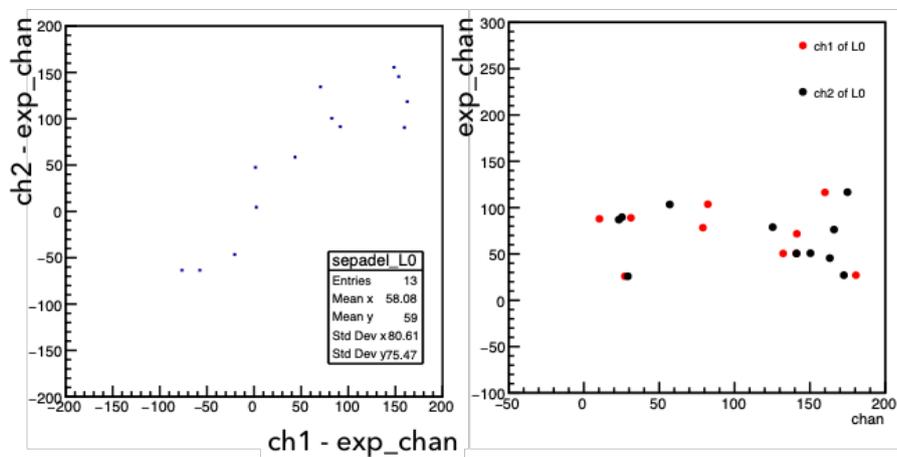


図 5.19 L0 の離れたダブルヒットと予想値のチャンネル相関分布。(左) 横軸 : ch1 と予想値のチャンネル差、縦軸 : ch2 と予想値のチャンネル差。(右) 縦軸 : L0 の予想値、赤点 : ch1、黒点 : ch2

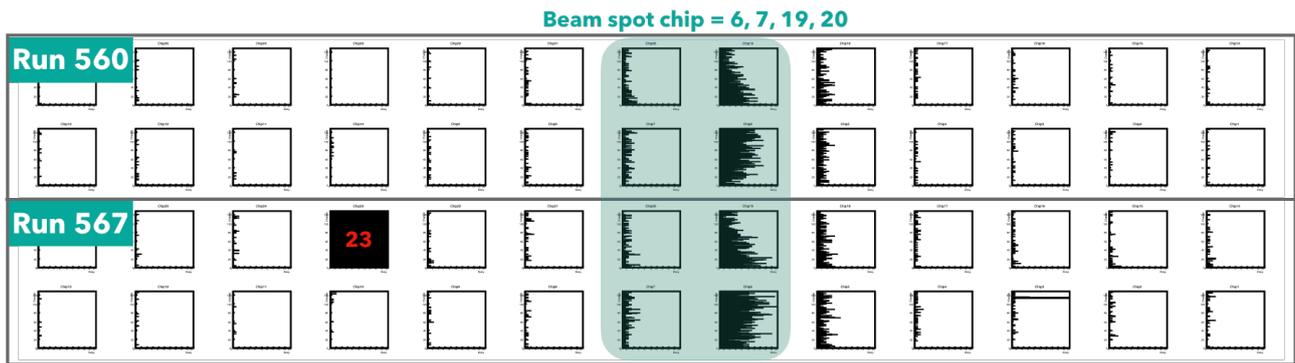


図 5.20 Run 560 (上) と Run 567 (下) の L2 のヒットチャンネル分布。縦軸：チャンネル番号、横軸：エントリー数

## 第 6 章

# 結論

本研究では、RHIC-sPHENIX 実験における INTT シリコン検出器の性能を評価するため、2019 年 6 月にフェルミ国立加速器研究所で実施したビームテスト実験のデータ解析を行い、INTT シリコンモジュールの検出効率を測定した。ビームテスト実験では、120 GeV の陽子ビームを 3 つのシリコンモジュールに対して入射し、各シリコンモジュールからの応答を調べた。各シリコンモジュールをビーム上流から L0, L1, L2 とし、より同一トラックと思われるイベント選定を行い、全モジュールにヒットがあったかなかったかを数えることで検出効率を求めた。それぞれの検出効率は、L0 が  $96 \pm 0.5\%$ 、L1 が  $65.6 \pm 1.1\%$ 、L2 が  $85.9 \pm 1.0\%$  となった。L0 に関しては 2018 年と比較しても矛盾のない結果を得られた。しかし、期待する 100% の検出効率は出ず、その原因がクロックによるデータ取得タイミングのずれによるのではないかと考えた。シリコンセンサーの 1 ストリップにヒットするシングルヒットの場合に対し、隣同士の 2 ストリップにヒットするダブルヒットではそのエネルギー損失は隣のストリップとシェアされるため、各ストリップでのエネルギー損失は小さくなる。そうすることにより、データが出力されるタイミングが遅れ、他の層と異なるクロックタイミングで読み出され検出されないのではないかとこの仮説を立てた。この仮説に対する結果として、検出効率が 100% に近づくことはなかったため、非検出効率の原因が読み出しタイミングのずれによるものではないことが確かめられた。他に考えられる原因として、ビームテスト時におけるクロックのジッターが挙げられる。ビームテストのような連続ビームを扱う場合、クロックの端で読み出されることがある。このようなイベントは取り除きたいが、今回のビームテストではビームクロックの相対タイミングを記録していなかったためできない。これは次回のビームテストでの課題としたい。

また、より精密な MIP のエネルギー損失を測定するため、各 DAC 設定を細かく変更しスキャンを行なった。この結果から、MIP ピークは  $674 \pm 4$  mV であることがわかった。これは期待される MIP ピークより低い、テストベンチでの宇宙線測定の結果と一致しているため、ビームテスト実験と宇宙線測定で共通した信号増幅率など原因があると考えられる。Geant4 による検出器シミュレーションを行い、同様の解析手順から検出効率を求めた。その結果、全層で 100% の検出効率が確認できた。このときの増幅率はビームテスト実験や宇宙線測定で設定されている 300 [mV/fC] では MIP ピークが非常に高くなるため、170 [mV/fC] に設定した。このことから、実験で使用されていると思っていた増幅率が 300 [mV/fC] ではなかった可能性が考えられる。

また、各検出効率にばらつきがある点について、各検出効率に時間変化はあるのか確認するため、Run 毎の各検出効率を求めた。これにより、ビームテスト実験の前半では L0 と L2 の検出効率がよく一致していることがわかった。しかし、ある Run を境に 2 つの検出効率に差が突然現れ、その後は常に差があるままだった。その Run では、L2 の特定のチップに大量のヒットが現れ始めたときであるため、データは出力されているが ROC から FEM への処理に問題があり読み出されなかったと考える。また、L1 は L0, L2 に対して常に低い検出効率であるため、L1 に特化した原因が別にあると考える。

今回のビームテスト実験のデータ解析から、INTT シリコンモジュールの検出効率は最大 96% であることがわかった。クロックのジッター問題を改善することで 100% の検出効率が期待できる。

# 付録

data	DAC setting	Table pos (H)	Table pos (V)
533		1560	155
534	1	1560	155
535	1	1560	155
536	2	1560	155
537	2	1560	155
538	3	1560	155
539	4	1560	155
540	5	1560	155
541	6	1560	155
542	7	1560	155
543	8	1560	155
544	9	1560	155
545	10	1560	155
546	1	1560	155
547	2	1560	155
548	3	1560	155
549	4	1560	155
550	5	1560	155
551	6	1560	155
552	7	1560	155
553	8	1560	155
554	9	1560	155
555	10	1560	155
556	1	1560	155
557	2	1560	155
558	3	1560	155
559	4	1560	155
560	5	1560	155
561	6	1560	155
562	7	1560	155
563	8	1560	155
564	9	1560	155
565	10	1560	155
566	10	1560	155
567		1560	155
568	1	1560	155
569	1	1560	155
570	1	1560	155
575	9	1560	155
576	9	1560	155
577	9	1560	155
578	8	1560	155
579	1	1560	155
580	10	1560	155

図 6.1 ビームテスト実験の Run 毎の測定条件記録 (DAC スキャン)

581	11	1552.2	155
582	11	1552.2	155
583	11	1552.2	155
585	11	1585	145
586	11	1585	145
587	11	1585	145
589	11	1585	165
590	11	1585	165
591	11	1585	165
592	11	1585	165
593	11	1585	170
594	11	1585	170
595	11	1585	168
596	11	1585	168
597	11	1585	168
598	11	1510	167
599	11	1510	167
600	11	1510	167
601	11	1450	167
602	11	1510	155
603	11	1510	155
604	11	1510	155
605	11	1510	155
606	11	1510	145
607	10	1510	145
608	10	1510	145
609	10	1500	165
610	11	1500	165
612	11	1570	155
614	11	1570	155
615	11	1570	155
616	11	1570	155
617	11	1570	155

625	11	1570	155
626	11	1570	155
627	11	1570	155
628	11	1570	155
635	11	1570	155
636	11	1570	155
637	11	1570	155
638	11	1640	155
639	11	1480	155
640	11	1480	155
641	11	1640	155
642	11	1570	155
643	11	1480	155
644	11	1570	155
645	11	1525	155
646	11	1525	155
647	11	1525	155
648	11	1525	155
653	11	1570	155
654	11		152.7
655	11		152.7
656	11	1570	152.7
657	11	1570	152.7
658	11	1570	152.7
659	11	1570	152.7
660	11	1570	152.7
661	11	1570	152.7
662	DAC0 = 16	1560	155
663	11	1560	155
664	11	1560	155

w/o Bus Extender

w/ Bus Extender

図 6.2 ビームテスト実験の Run 毎の測定条件記録。(左) Bus Extender なし、(右) Bus Extender あり

## 謝辞

本研究を進めるにあたり、たくさんお方々にお世話になりました。

指導教官である蜂谷先生には、多くのことをご指導いただきましたが、振り返ってみると研究の面白さを特に教えていただいたと思います。実験でも解析でも、問題に直面したときいかに解決するか、解決した後の達成感といったものは大学までの4年間では学べなかったことです。失敗しても、何が原因で失敗したのか、次に活かすにはどうしたら良いかなど、会社に就職してからも大切になるであろう考え方を身につけることができました。これも蜂谷先生が基礎的なことからご指導くださり、的確なアドバイスをくださったおかげです。

私はこの2年間でビームテスト実験、テストベンチ構築、国際会議出席、解析ワークショップなど、この先一生ないかもしれない経験をたくさんできました。どの経験でも悩むことは多々ありましたが、それ以上にやりがいや研究へのモチベーションを得ていました。蜂谷先生はじめ理化学研究所の秋葉さん、中川さん、研究室の林井先生、宮林先生、下村先生には研究に対する多くのアドバイスやコメントをいただき大変お世話になりました。海外出張など慣れない環境でストレスが溜まることも多かったです。食事や買い物に誘っていただき精神的にも支えていただきました。また、このような大規模な実験に携わり多くの方々と関わることができて幸せに思います。特に、INTTグループの皆さんには隔週で行うミーティングでの私の拙い英語の発表に耳を傾けてくださり多くのコメントもいただきました。同じ研究室の後輩で去年卒業した一色さん、呉羽さん、杉野さん、現在一緒に研究を進めている柴田さん、森田さんには先輩らしい指導や行いが至らない面もたくさんあったと思いますが、私は皆さんと一緒に研究をやれてとても楽しかったし助けられていました。研究を支えてくださった全ての皆さまに深く感謝いたします。漠然な興味から入ったこの研究室ですが、研究のやりがいがあるとは思っていませんでした。ここまでやってきたことは決して無駄にならないと確信しています。

最後に、常に私の意志を尊重し応援してくれた両親に感謝いたします。

## 参考文献

- [1] Agostinelli, S. 2003 *Geant4-a simulation toolkit*.
- [2] Kai-Yu, C. *DAC scan study for MIP measurement*.
- [3] MVTX 2018 *A Monolithic Active Pixel Sensor Detector for the sPHENIX Experiment*.
- [4] PDG 2012 *Physical Review D86*.
- [5] ——— 2019 *Passage of Particles Through Matter*.
- [6] PHENIX 2003 *PHENIX Detector Overview*.
- [7] sPHENIX 2014 *An Upgrade Proposal from the PHENIX Collaboration*.
- [8] TDR 2019 *sPHENIX Technical Design Report*.
- [9] Tom, Z. 2009 *FPHX Chip Documentation*.
- [10] 呉羽広子 「RHIC-sPHENIX 実験におけるシリコンストリップ検出器の開発」, 卒業論文, 奈良女子大学.
- [11] 柴田実香 2019 『INTT シリコンセンサーによる宇宙線測定』.
- [12] 浅野秀光 2010 「高強度荷電粒子ビーム飛跡解析用のシリコンストリップ検出器の開発」, 修士論文, 京都大学大学院.
- [13] 益田英知 2017 「RHIC-sPHENIX 実験におけるシリコンストリップ検出器の開発」, 修士論文, 立教大学大学院.
- [14] 秋葉康之 2014 『クォーク・グルーオン・プラズマの物理実験室で再現する宇宙の始まり』, 共立出版.
- [15] 長島徹 2015 「RHIC-PHENIX 実験 Run15 における FVTX 検出器を用いた高多重度トリガーシステムの開発と陽子+陽子衝突系における方位角異方性の検証」, 修士論文, 立教大学大学院.